

PCT

## 国際予備審査報告

(法第12条、法施行規則第56条)  
〔PCT36条及びPCT規則70〕

REC'D 31 JUL 1998

WIPO

PCT

出願人又は代理人 の書類記号 319702046971	今後の手続きについては、国際予備審査報告の送付通知（様式PCT/ IPEA/416）を参照すること。	
国際出願番号 PCT/J P 97/03969	国際出願日 (日.月.年) 30.10.97	優先日 (日.月.年)
国際特許分類 (IPC) Int. Cl. <sup>6</sup> H01L21/60, H01L23/12		
出願人 (氏名又は名称) 株式会社 日立製作所		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条 (PCT36条) の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。
- ☒ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び／又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び／又は図面も添付されている。  
(PCT規則70.16及びPCT実施細則第607号参照)  
この附属書類は、全部で 3 ページである。

3. この国際予備審査報告は、次の内容を含む。

- I ☒ 国際予備審査報告の基礎
- II ☐ 優先権
- III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
- IV ☐ 発明の単一性の欠如
- V ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- VI ☐ ある種の引用文献
- VII ☐ 国際出願の不備
- VIII ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 30.10.97	国際予備審査報告を作成した日 16.07.98	
名称及びあて先 日本国特許庁 (IPEA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 野村 亨	4E 8012
電話番号 03-3581-1101 内線 3425		

様式PCT/IPEA/409 (表紙) (1994年1月)

## I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に  
 応答するために提出された差し替え用紙は、この報告書において「出願時」とする)

☐ 出願時の国際出願書類

☒ 明細書 第 1-21 ページ、  
 明細書 第 \_\_\_\_\_ ページ、  
 明細書 第 \_\_\_\_\_ ページ、  
 明細書 第 \_\_\_\_\_ ページ、  
 出願時のもの  
 国際予備審査の請求書と共に提出されたもの  
 \_\_\_\_\_ 付の書簡と共に提出されたもの  
 \_\_\_\_\_ 付の書簡と共に提出されたもの

☒ 請求の範囲 第 1-25, 27-29 項、  
 請求の範囲 第 \_\_\_\_\_ 項、  
 請求の範囲 第 \_\_\_\_\_ 項、  
 請求の範囲 第 26, 30-33 項、  
 請求の範囲 第 \_\_\_\_\_ 項、  
 出願時に提出されたもの  
 PCT19条の規定に基づき補正されたもの  
 国際予備審査の請求書と共に提出されたもの  
 03.04.98 付の書簡と共に提出されたもの  
 \_\_\_\_\_ 付の書簡と共に提出されたもの

☒ 図面 第 1-58 ~~ページ~~/図、  
 図面 第 \_\_\_\_\_ ページ/図、  
 図面 第 \_\_\_\_\_ ページ/図、  
 図面 第 \_\_\_\_\_ ページ/図、  
 出願時に提出されたもの  
 国際予備審査の請求書と共に提出されたもの  
 \_\_\_\_\_ 付の書簡と共に提出されたもの  
 \_\_\_\_\_ 付の書簡と共に提出されたもの

2. 補正により、下記の書類が削除された。

☐ 明細書 第 \_\_\_\_\_ ページ

☐ 請求の範囲 第 \_\_\_\_\_ 項

☐ 図面 第 \_\_\_\_\_ ページ/図

3. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認めら  
 れるので、その補正がされなかったものとして作成した。(PCT規則70.2(c))

4. 追加の意見(必要ならば)

## V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

## 1. 見解

新規性(N)

請求の範囲 1-33

有

請求の範囲

無

進歩性(I S)

請求の範囲 6, 7, 15-29

有

請求の範囲

1-5, 8-14, 30-33

無

産業上の利用可能性(I A)

請求の範囲 1-33

有

請求の範囲

無

## 2. 文献及び説明

請求の範囲第1-3項は、国際調査報告で引用された文献1(JP, 8-330355, A(新光電気工業株式会社), 13.12月.1996(13.12.96)), 第6欄第38-49行, 第8欄第34-44行, 第9欄第19行-第10欄第6行, 及び図1, 9, 10)、国際調査報告で引用された文献2(JP, 8-78574, A(新光電気工業株式会社), 22.3月.1996(22.03.96)), 第5欄第7行-第6欄第38行, 及び図1-4)、及び、国際調査報告で引用された文献3(JP, 8-102466, A(日本電気株式会社), 16.4月.1996(16.04.96)), 第6欄第1行-第7欄第14行, 及び図1, 2)により、進歩性を有しない。

請求の範囲第4, 5項は、上記文献1-3、及び、文献4(JP, 6-302645, A(富士ゼロックス株式会社), 28.10月.1994(28.10.94)), 第4欄第26行-第5欄第6行, 及び図1)により、進歩性を有しない。

請求の範囲第8-13項は、上記文献1-3により、進歩性を有しない。

請求の範囲第14項は、上記文献1-3、及び、国際調査報告で引用された文献5(JP, 8-250498, A(ソニー株式会社), 27.9月.1996(27.09.96)), 第4欄第42行-第6欄第22行, 第10欄第15-30行, 及び図1)により、進歩性を有しない。

請求の範囲第30-31項は、上記文献1-3により、進歩性を有しない。

請求の範囲第32項は、上記文献1-4により、進歩性を有しない。

請求の範囲第33項は、上記文献1-3により、進歩性を有しない。

(c) 一端部が前記スルーホールを通じて前記ボンディングパッドと電氣的に接続され、他端部が前記エラストマー層の上部に配置される配線を形成する工程、

(d) 前記エラストマー層の上部に配置された配線他端部にバンプ電極を接続する工程。

5 21. 以下の工程を含むことを特徴とする半導体装置の製造方法；

(a) 半導体ウエハの主面の複数のチップ領域に形成した複数の半導体素子およびボンディングパッドの上部にエラストマー層を形成する工程、

10 (b) 前記エラストマー層を開孔して前記ボンディングパッドまたは前記ボンディングパッドと電氣的に接続された電極配線の上部にスルーホールを形成する工程、

(c) 一面に配線を形成した絶縁テープを前記エラストマー層の上部に接合し、前記スルーホールを通じて前記配線の一端部と前記ボンディングパッドを電氣的に接続する工程、

15 (d) 前記エラストマー層の上部に配置された前記配線他端部にバンプ電極を接続する工程。

22. 請求項20または21記載の半導体ウエハのチップ領域をダイシングして半導体チップに分割する工程を含むことを特徴とする半導体装置の製造方法。

20 23. 請求項22記載の半導体装置の製造方法であって、前記チップ領域をダイシングして半導体チップに分割する工程に先立ってテストを行うことにより、前記複数のチップ領域を良品と不良品とに選別する工程を含むことを特徴とする半導体装置の製造方法。

25 24. 請求項22記載の半導体装置の製造方法であって、前記エラストマー層の上部に配置された配線の少なくとも一部でヒューズを形成し、前記テストにより不良とされたチップ領域のヒューズを切断する工程を含むことを特徴とする半導体装置の製造方法。

25 25. 請求項20または21記載の半導体装置の製造方法であって、前記チップ領域の境界部の半導体ウエハの主面または裏面にスリットを形成し、前記スリットの内部に保護層を形成する工程を含むことを特徴とする半導体装置の製造方法。

26. (補正後) 以下の工程を含むことを特徴とする半導体装置の製造方法；

- (a) 半導体ウエハのスクライブラインによって区画された複数のチップ領域のそれぞれの主面に複数の半導体素子と複数のボンディングパッドを形成する工程、  
(b) 前記複数のチップ領域の主面上にエラストマー層を形成する工程、  
(c) 前記複数のチップ領域のそれぞれにおいて、前記複数のボンディングパッドに対応する位置の前記エラストマー層にスルーホールを形成する工程、  
5 (d) 前記複数のチップ領域のそれぞれにおいて、その一端部が前記エラストマー層上に形成され、かつその他端部が前記スルーホールを介して対応する前記ボンディングパッドに接続される導体層を形成する工程、  
(e) 前記複数のチップ領域のそれぞれにおいて、前記導体層の一端部に接続されるバンパ電極を形成する工程、  
10 (f) 前記半導体ウエハを前記スクライブラインに沿って切断することにより、その主面に前記エラストマー層、前記導体層および前記バンパ電極を有する複数の半導体チップを形成する工程。

27. 請求項26記載の半導体装置の製造方法であって、前記エラストマー層は  
15 感光性フィルムにより構成され、前記スルーホールはフォトリソグラフィ技術とエッチング技術とによって形成されることを特徴とする半導体装置の製造方法。

28. 請求項26記載の半導体装置の製造方法であって、前記導体層を形成する工程(d)は、前記ボンディングパッド上にAuバンパ電極を形成する工程と、  
20 前記Auバンパ電極上に配線層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

29. 請求項26記載の半導体装置の製造方法であって、前記導体層を形成する工程(d)は、前記スルーホール内を含む前記エラストマー層上の全面に金属層を形成する工程と、前記金属層をパターンニングして配線層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

25 30. (追加) スクライブラインによって区画された複数の半導体チップ形成領域を有し、前記複数の半導体チップ形成領域のそれぞれの主面に複数の半導体素子および複数のボンディングパッドが形成された半導体ウエハと、前記半導体チップ形成領域のそれぞれの主面上に形成され、前記複数のボンディングパッドに対応する位置にスルーホールを有する弾性を備えた絶縁膜と、その一端部が前

記絶縁膜上に形成され、それぞれその他端部が前記スルーホールを介して対応する前記複数のボンディングパッドに電氣的に接続された複数の導体層と、前記複数の導体層の一端部上に形成され、前記導体層を介して対応する前記複数のボンディングパッドに電氣的に接続された複数のバンプ電極とを有することを特徴とする半導体装置。

31. (追加) 請求項30記載の半導体装置であって、前記スクライブラインに沿って前記半導体ウエハを切断することにより、複数の半導体チップが供給されることを特徴とする半導体装置。

32. (追加) 請求項30記載の半導体装置であって、前記導体層は、前記複数のボンディングパッドのそれぞれの表面上に形成されたAuバンプ電極と、前記Auバンプ電極上に形成された配線層とを含むことを特徴とする半導体装置。

33. (追加) 請求項30記載の半導体装置であって、前記バンプ電極は、半田バンプ電極であることを特徴とする半導体装置。

25/1

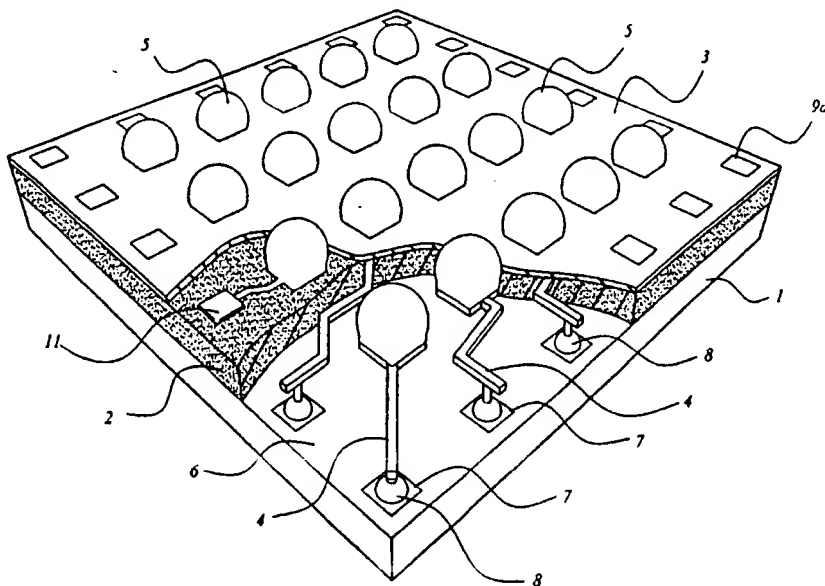
(51) 国際特許分類6 H01L 21/60, 23/12	A1	(11) 国際公開番号 WO99/23696  (43) 国際公開日 1999年5月14日(14.05.99)
<p>(21) 国際出願番号 PCT/JP97/03969</p> <p>(22) 国際出願日 1997年10月30日(30.10.97)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)</p> <p>(72) 発明者 ; および</p> <p>(75) 発明者 / 出願人 (米国についてのみ) 宮本俊夫(MIYAMOTO, Toshio)(JP/JP) 〒187 東京都小平市上水本町五丁目19番1号 誠心寮416号室 Tokyo, (JP) 安生一郎(ANJO, Ichiro)(JP/JP) 〒184 東京都小金井市貫井南町4-5-5 Tokyo, (JP) 有田順一(ARITA, Junichi)(JP/JP) 〒208 東京都武蔵村山市中原2丁目20番6号 Tokyo, (JP) 江口州志(EGUCHI, Shuji)(JP/JP) 〒319-11 茨城県那珂郡東海村白方1711-30 Ibaraki, (JP) 北野 誠(KITANO, Makoto)(JP/JP) 〒300 茨城県土浦市白鳥町1057-8 Ibaraki, (JP) 久保征治(KUBO, Masaharu)(JP/JP) 〒192 東京都八王子市暁町2-29-8 Tokyo, (JP)</p>	<p>宗像健志(MUNAKATA, Takeshi)(JP/JP) 〒178 東京都練馬区南大泉4丁目44番2号 Tokyo, (JP) 福田琢也(FUKUDA, Takuya)(JP/JP) 〒187 東京都小平市回田町219番地 コンフォート神山116号 Tokyo, (JP)</p> <p>(74) 代理人 弁理士 筒井大和(TSUTSUI, Yamato) 〒160 東京都新宿区西新宿7丁目22番45号 N.S. Excel 301 筒井国際特許事務所 Tokyo, (JP)</p> <p>(81) 指定国 AL, AU, BA, BB, BG, BR, CA, CN, CU, CZ, EE, GE, HU, ID, IL, IS, JP, KR, LC, LK, LR, LT, LV, MG, MK, MN, MX, NO, NZ, PL, RO, SG, SI, SK, SL, TR, TT, UA, US, UZ, VN, YU, ARIPO特許 (GH, KE, LS, MW, SD, SZ, UG, ZW), ユーラン ア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI特許 (BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG).</p> <p>添付公開書類 国際調査報告書</p>	

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(54) 発明の名称 半導体装置およびその製造方法

## (57) Abstract

In a chip-size package, a low-elasticity elastomer (2) which relieves and absorbs the stresses concentrated upon bump electrodes (5) is formed on the main surface of a semiconductor chip (1), and the wiring (4) connected to bonding pads (7) is led out to the upper surface of the elastomer (2) by way of through holes formed through the elastomer (2) and connected to the bump electrodes (5). The stresses concentrated upon the bump electrodes (5) are absorbed and relieved by not only the elastomer (2), but also the expansion and contraction of the wiring (4) led out to the upper surface of the elastomer (2) by laying the wiring (4) in a curved pattern.



## (57)要約

本発明のチップサイズパッケージは、バンプ電極に集中する応力を緩和、吸収する低弾性エラストマー 2 を半導体チップ 1 の主面上に形成し、ボンディングパッド 7 に接続された配線 4 をこのエラストマー 2 に開孔したスルーホールを通じてその上面に引き出してその一端部にバンプ電極 5 を接続する。また、エラストマー 2 の上面に引き出した上記配線 4 を湾曲したパターンで形成し、バンプ電極 5 に集中する応力を上記エラストマー 2 のみならず配線 4 の伸縮によって吸収、緩和する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	ES	スペイン	LI	リヒテンシュタイン	SG	シンガポール
AL	アルバニア	FI	フィンランド	LK	スリ・ランカ	SI	スロヴェニア
AM	アルメニア	FR	フランス	LR	リベリア	SK	スロヴァキア
AT	オーストリア	GA	ガボン	LS	レソト	SL	シエラ・レオネ
AU	オーストラリア	GB	英国	LT	リトアニア	SN	セネガル
AZ	アゼルバイジャン	GD	グレナダ	LU	ルクセンブルグ	SZ	スワジランド
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	LV	ラトヴィア	TD	チャード
BB	バルバドス	GH	ガーナ	MC	モナコ	TG	トーゴ
BE	ベルギー	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BF	ブルキナ・ファソ	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BG	ブルガリア	GW	ギニア・ビサオ	MK	マケドニア旧ユーゴスラヴィア共和国	TR	トルコ
BJ	ベナン	GR	ギリシャ			TT	トリニダード・トバゴ
BR	ブラジル	HR	クロアチア	ML	マリ	UA	ウクライナ
BY	ベラルーシ	HU	ハンガリー	MN	モンゴル	UG	ウガンダ
CA	カナダ	ID	インドネシア	MR	モーリタニア	US	米国
CF	中央アフリカ	IE	アイルランド	MW	マラウイ	UZ	ウズベキスタン
CG	コンゴ	IL	イスラエル	MX	メキシコ	VN	ヴェトナム
CH	スイス	IN	インド	NE	ニジェール	YU	ユーゴスラビア
CI	コートジボワール	IS	アイスランド	NL	オランダ	ZA	南アフリカ共和国
CN	中国	IT	イタリア	NO	ノルウェー	ZW	ジンバブエ
CM	カメルーン	JP	日本	NZ	ニュージーランド		
CU	キューバ	KE	ケニア	PL	ポーランド		
CY	キプロス	KG	キルギスタン	PT	ポルトガル		
CZ	チェコ	KP	北朝鮮	RO	ルーマニア		



## 明 細 書

## 半導体装置およびその製造方法

## 5 技術分野

本発明は、半導体装置およびその製造方法に関し、特に、 bumps 電極を介して半導体チップを基板に実装するチップサイズパッケージ(Chip Size Package ; C S P)型の半導体装置に適用して有効な技術に関する。

## 10 背景技術

電極 (パッド) 上に取り付けたボール状の bumps 電極を使って半導体チップを基板にフリップチップ実装する B G A (Ball Grid Array) 型の L S I パッケージは、多ピン化が容易で、しかも実装面積を小さくできることから、 I / O (Input/Output) ピンの数が多いロジック L S I を実装するパッケージとしてのみならず、メモリ L S I を実装するパッケージとしても多用されつつある。

例えば米国特許第 5, 2 1 6, 2 7 8 号公報に記載された B G A は、裏面に P b - S n 合金の半田からなる bumps 電極を取り付けたプラスチック製のパッケージ基板上にワイヤボンディング方式でチップを搭載し、このチップをモールド樹脂で封止したパッケージ構造を備えている。

20 このように、B G A は、単結晶シリコンからなる半導体チップ、プラスチック (あるいはセラミック) からなるパッケージ基板、P b - S n 合金半田からなる bumps 電極など、熱膨張係数の異なる異種部材を接合した構造になっている。そのため、B G A をプリント配線基板に実装した後に半導体チップが発熱/放冷と  
25 いった温度サイクルを繰り返すと、各部材の熱膨張係数差に起因して bumps 電極に応力が集中し、bumps 寿命が短くなって電氣的な接続信頼性が低下したり、場合によっては bumps 電極の破壊を引き起こしたりする。

上述した問題は、bumps 電極の径が比較的大きい場合には、bumps 電極自体にある程度の応力吸収能力が備わっているのでさほど顕在化はしない。しかし、I / O ピンの数が多い B G A や、パッケージをチップとほぼ同じサイズまで縮小し

- たチップサイズパッケージ（C S P）のように、 bumps電極の径が小さい場合には、 bumps電極の応力吸収能力が低下するために深刻な問題となってくる。従って、 B G A、特にC S Pの設計に際しては、例えば各部材を熱膨張係数が近い材料で構成したり、 bumps電極に加わる応力を緩和、吸収する部材をチップと基板との
- 5 隙間に介在させたりするといった工夫が必要となる。

- 特開平8-102466号公報は、半導体ウエハの各チップ領域に格子状に bumps電極を形成し、その後、ウエハを多数のチップに分割する方法を開示している。この方法は、まずウエハの各チップ領域の周縁部に形成したパッドに接続された配線をチップ領域の内側に引き回し、次いでウエハ全面をポリイミドなどからなるカバーコートで覆った後、このカバーコートを格子状のパターンに開孔し、
- 10 上記配線を露出させ、その上に bumps電極を形成する。その後、スクライブラインに沿ってウエハをダイシングし、多数のチップに分割する。このような製造方法によれば、チップの内側に bumps電極を格子状に配置する作業をウエハプロセスで行うため、 bumps電極を形成したチップを大量に生産することが可能となる。
- 15

- 特開平1-283843号公報は、 bumps電極に加わる応力を緩和する熱可塑性樹脂（例えばポリメチルメタクリレート）をウエハの表面（ bumps電極が形成された領域を除く）にコートし、その後、ウエハをダイシングして多数のチップに分割する方法を開示している。この方法によれば、 bumps電極を介してチップ
- 20 を基板に実装してから両者の隙間に樹脂を充填する方法に比べて、実装後のチップのリペアが容易になり、かつチップと基板との隙間に気泡が残らないといった利点も得られる。

- 特開平4-280458号公報は、表面に突起を設けたゴム状弾性体（例えば弾性率が100MPa以下のシリコンゴム）でチップを封止することによって、
- 25 チップと基板との熱膨張係数差に起因する応力をゴム状弾性体で吸収、緩和するL S Iパッケージを開示している。ゴム状弾性体の表面には、一端がチップのパッドに接続され、他端が上記突起の表面に延在する配線が形成されている。このパッケージを基板に実装するときは、上記突起の表面の配線を基板の電極上に半田付けする。

特開平 8-111473 号公報は、チップと bumps 電極との間に、チップと基板との熱膨張係数差に起因する応力を緩和するための低弾性率エラストマー（例えばガラス転移温度が  $-50^{\circ}\text{C}$  以下のシロキサンポリマー）を介在させた BGA 型パッケージを開示している。このエラストマーは、接着剤によってチップの表面に接着され、チップのパッドと bumps 電極は、エラストマー内に埋め込まれた導線を介して電氣的に接続される。

日経 BP 社発行（1996 年 10 月）の「日経マイクロデバイス」（p92～p98）は、ウェハの表面に弾性樹脂層とポリイミド基板層とを積層し、ポリイミド基板層に設けた Cu 配線上に bumps 電極を接続した後、ウェハをダイシングして多数のチップサイズパッケージ（CSP）を製造する方法（ウェハレベルパッケージング）を開示している。ウェハのパッドとポリイミド基板層の配線は、チップ表面の弾性樹脂層に埋め込まれたリードあるいはボンディングワイヤを介して電氣的に接続される。

特開平 2-77138 号公報は、水平および垂直のあらゆる方向に対してバネ性ないしは自由変形性を備えた薄い螺旋状の配線（マイクロリードと称する）を介してチップの bumps 電極と基板の電極とを接続することによって、bumps 電極に加わる応力を緩和する技術を開示している。上記マイクロリードは、基板上に複数の異種金属膜をスパッタリング法で積層し、これらの金属膜をエッチングして螺旋状にパターニングした後、最下層の金属膜をリフトオフして形成する。

米国特許第 5,476,211 号公報は、チップの同一パッド上にワイヤの両端をボンディングしてループ状の突起を形成し、この突起を介して半導体チップを基板に実装する技術を開示している。また、この公報の他の態様では、ワイヤは、その一端がチップのパッド上にボンディングされた後、全体が S 字状または直線状にフォーミングされ、その他端側が基板に接続されるようになっている。

特開昭 63-177434 号公報は、チップのパッド上に形成された bumps 電極と基板との間に、絶縁シート上に一括形成され、その高さが最小横寸法以下である螺旋状の導電性バネを挿入した実装構造を開示している。この導電性バネは、ポリイミドなどからなる絶縁シートに接着した薄板上の Cu 合金などをエッチングして形成し、その一端が絶縁シート上に固定される。この実装構造によれば、

複数個のチップを同一基板に実装したときに、基板に反りがあるような場合でも各チップの背面の高さを揃えることができるので、チップの背面に冷却板を配置したときに、全てのチップを冷却板に密着させることができる。

- 特開平9-129772号公報は、チップの裏面および側面をパッケージの一部として使用し、かつチップの素子形成面を覆うパッシベーション膜をパッケージの一部として使用することで、ウエハをチップに分割した後にパッケージをアセンブリする工程を低減したチップスケールパッケージを開示している。このパッケージを製造するには、例えばウエハの各チップ領域を二層のパッシベーション膜で覆い、その上部にバンパ電極を接続するための電極を格子状に配置する。
- 5 各電極は、上層のパッシベーション膜を開孔して形成したスルーホールと下層のパッシベーション膜上に形成した配線とを介して対応するパッドと電氣的に接続される。ウエハは、この状態で機能テストやバーンインなどのテストに付された後、ダイシングにより多数のチップに分割される。その後、各チップの電極にバンパ電極が接続される。
- 10 特開平8-250498号公報は、パッドの位置やその間隔に制限されることなくバンパ電極を形成するために、パッドから引き出した配線の所定位置上にバンパ電極を形成する技術を開示している。パッドから引き出された配線の表面は、感光性ポリイミドなどの層間絶縁層で覆われ、この層間絶縁層に形成した開孔部から露出する上記配線の上部に導体層を介してバンパ電極が形成される。この構造によれば、バンパ電極を任意の高さに形成できるので、チップと基板の熱膨張係数差に起因するバンパ電極の熱疲労を抑制してバンパ寿命を長期化することができる。
- 15 20

本発明者は、上記したようなバンパ電極を使って半導体チップを基板にフリップチップ実装する従来の半導体装置およびその製造方法を種々検討した結果、チップと基板間の熱膨張係数差に起因してバンパ電極に集中する応力を有効に緩和、吸収できる構造を備えた新規なCSP構造およびそれを安価に製造する方法を見出した。

25

本発明の目的は、半導体チップと基板との熱膨張係数差に起因して両者の接合部であるバンパ電極に集中するストレスを有効に緩和、吸収できる構造を備えた

C S P型の半導体装置およびそれを安価に製造する技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 5 発明の開示

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

本発明の半導体装置は、バンプ電極に集中する応力を緩和、吸収する低弾性エラストマーをチップの主面上に形成し、パッドに接続された配線をこのエラストマーに開孔したスルーホールを通じてその上面に引き出してその一端部にバンプ電極を接続したものである。また、本発明の他の半導体装置は、エラストマーの上面に引き出した上記配線を湾曲したパターンで形成し、バンプ電極に集中する応力をエラストマーの弾性変形および配線の伸縮によっても吸収、緩和するようにしたものである。

15 本発明の半導体装置の製造方法は、上記配線にバンプ電極を接続するまでの工程をウエハプロセスで行い、さらにこの状態でバーンインなどのテストングを行った後、ウエハをダイシングしてチップに分割することにより、パッケージの組立て工程を不要とするものである

20 その他、本願に記載された発明の概要を項分けして説明すれば以下の通りである。

1. 本発明の半導体装置は、半導体ウエハの主面の複数のチップ領域に形成された複数の半導体素子およびボンディングパッドの上部にエラストマー層が形成され、一端部が前記エラストマー層に開孔されたスルーホールを通じて前記ボンディングパッドと電氣的に接続され、他端部が前記エラストマー層の上部に配置された配線にバンプ電極が接続されている。

2. 本発明の半導体装置は、前記半導体ウエハのチップ領域を分割して得られた半導体チップからなるチップサイズパッケージ型の半導体装置である。

3. 本発明の半導体装置は、前記半導体チップの側面に保護層が形成されている。

4. 本発明の半導体装置は、前記配線が前記エラストマー層の上部に接合された

絶縁テープの一面に形成され、前記配線と前記ボンディングパッドは、前記ボンディングパッド上に接合されたAuバンプを介して電氣的に接続されている。

5. 本発明の半導体装置は、前記ボンディングパッド上に複数段のAuバンプが接合されている。

5 6. 本発明の半導体装置は、前記Auバンプが前記エラストマー層のスルーホールに充填された樹脂によって封止されている。

7. 本発明の半導体装置は、前記エラストマー層が前記半導体ウエハの主面上に塗布された感光性レジスト、または前記半導体ウエハの主面上に接着された感光性フィルムからなる。

10 8. 本発明の半導体装置は、前記エラストマー層の弾性率が1～5000MPaである。

9. 本発明の半導体装置は、前記エラストマー層の弾性率が1～1000MPaである。

10. 本発明の半導体装置は、前記エラストマー層の弾性率が1～500MPa  
15 程度である。

11. 本発明の半導体装置は、前記エラストマー層の膜厚が0.005～0.15mmである。

12. 本発明の半導体装置は、前記エラストマー層の膜厚が0.01～0.1mmである。

20 13. 本発明の半導体装置は、前記エラストマー層の膜厚が0.02～0.1mmである。

14. 本発明の半導体装置は、前記バンプ電極の間隔が前記ボンディングパッドの間隔よりも広い。

25 15. 本発明の半導体装置は、前記エラストマー層の表面に凹凸が設けられている。

16. 本発明の半導体装置は、前記バンプ電極の近傍の前記エラストマー層にスリットが設けられている。

17. 本発明の半導体装置は、前記エラストマー層の上部に配置された配線の少なくともその一部が湾曲したパターンで構成されている。

18. 本発明の半導体装置は、前記エラストマー層の上部に配置された配線の少なくともその一部が複数本の配線で構成されている。

19. 本発明の半導体装置は、前記エラストマー層の上部に配置された配線が、前記配線に接続されるバンプ電極と前記チップ領域の中心とを結ぶ方向に対して直交するように配向され、かつ前記チップ領域の周縁部に配置された配線は、前記チップ領域の中央部に配置された配線よりも長い。

20. 本発明の半導体装置の製造方法は、以下の工程を含んでいる。

(a) 半導体ウエハの主面の複数のチップ領域に形成した複数の半導体素子およびボンディングパッドの上部にエラストマー層を形成する工程、

10 (b) 前記エラストマー層を開孔して前記ボンディングパッドまたは前記ボンディングパッドと電氣的に接続された電極配線の上部にスルーホールを形成する工程、

(c) 一端部が前記スルーホールを通じて前記ボンディングパッドと電氣的に接続され、他端部が前記エラストマー層の上部に配置される配線を形成する工程、

15 (d) 前記エラストマー層の上部に配置された配線他端部にバンプ電極を接続する工程。

21. 本発明の半導体装置の製造方法は、以下の工程を含んでいる。

(a) 半導体ウエハの主面の複数のチップ領域に形成した複数の半導体素子およびボンディングパッドの上部にエラストマー層を形成する工程、

20 (b) 前記エラストマー層を開孔して前記ボンディングパッドまたは前記ボンディングパッドと電氣的に接続された電極配線の上部にスルーホールを形成する工程、

(c) 一面に配線を形成した絶縁テープを前記エラストマー層の上部に接合し、前記スルーホールを通じて前記配線の一端部と前記ボンディングパッドを電氣的に接続する工程、

25 (d) 前記エラストマー層の上部に配置された前記配線他端部にバンプ電極を接続する工程。

22. 本発明の半導体装置の製造方法は、前記半導体ウエハのチップ領域をダイシングして半導体チップに分割する工程を含んでいる。

2 3. 本発明の半導体装置の製造方法は、前記チップ領域をダイシングして半導体チップに分割する工程に先立ってテストを行うことにより、前記複数のチップ領域を良品と不良品とに選別する工程を含んでいる。

2 4. 本発明の半導体装置の製造方法は、前記エラストマー層の上部に配置された配線の少なくとも一部でヒューズを形成し、前記テストにより不良とされたチップ領域のヒューズを切断する工程を含んでいる。

2 5. 本発明の半導体装置の製造方法は、前記チップ領域の境界部の半導体ウェハの主面または裏面にスリットを形成し、前記スリットの内部に保護層を形成する工程を含んでいる。

10 2 6. 本発明の半導体装置の製造方法は、以下の工程を含んでいる。

(a) スクライブラインによって区画された複数のチップ領域のそれぞれの主面に複数の半導体素子と複数のボンディングパッドを形成する工程、

(b) 前記複数のチップ領域の主面上にエラストマー層を形成する工程、

(c) 前記複数のチップ領域のそれぞれにおいて、前記複数のボンディングパッドに対応する位置の前記エラストマー層にスルーホールを形成する工程、

(d) 前記複数のチップ領域のそれぞれにおいて、その一端部が前記エラストマー層上に形成され、かつその他端部が前記スルーホールを介して対応する前記ボンディングパッドに接続される導体層を形成する工程、

(e) 前記複数のチップ領域のそれぞれにおいて、前記導体層の一端部に接続されるバンプ電極を形成する工程、

(f) 前記半導体ウェハを前記スクライブラインに沿って切断することにより、その主面に前記エラストマー層、前記導体層および前記バンプ電極を有する複数の半導体チップを形成する工程。

2 7. 本発明の半導体装置の製造方法は、前記エラストマー層が感光性フィルムにより構成され、前記スルーホールがフォトリソグラフィ技術とエッチング技術とによって形成される。

2 8. 本発明の半導体装置の製造方法は、前記導体層を形成する工程 (d) が、前記ボンディングパッド上にAuバンプ電極を形成する工程と、前記Auバンプ電極上に配線層を形成する工程とを含んでいる。



29. 本発明の半導体装置の製造方法は、前記導体層を形成する工程（d）が、前記スルーホール内を含む前記エラストマー層上の全面に金属層を形成する工程と、前記金属層をパターンニングして配線層を形成する工程とを含んでいる。

## 5 図面の簡単な説明

図1は、本発明の一実施の形態である半導体装置の斜視図、図2は、この半導体装置の断面図、図3は、基板に実装されたこの半導体装置の断面図、図4は、この半導体装置の構成部材である絶縁テープの上面を示す斜視図、図5は同じく絶縁テープの下面を示す斜視図、図6は、本発明の一実施の形態である半導体装置の製造方法を示す平面図、図7～図18は、本発明の一実施の形態である半導体装置の製造方法を示す断面図、図19は、本発明の一実施の形態である半導体装置の製造工程の全体フロー図、図20～図23は、本発明の他の実施の形態である半導体装置の断面図、図24は、本発明の他の実施の形態である半導体装置の斜視図、図25は、本発明の他の実施の形態である半導体装置の断面図、図26は、本発明の他の実施の形態である半導体装置の斜視図、図27は、本発明の他の実施の形態である半導体装置の断面図、図28は、この半導体装置の構成部材である配線のパターンを示す平面図、図29は、本発明の他の実施の形態である半導体装置の製造方法を示す平面図、図30～図38は、本発明の他の実施の形態である半導体装置の製造方法を示す断面図、図39、図40は、本発明の他の実施の形態である半導体装置を示す断面図、図41は、本発明の他の実施の形態である半導体装置を示す平面図、図42、図43は、本発明の他の実施の形態である半導体装置を示す断面図、図44～図48は、本発明の他の実施の形態である半導体装置の製造方法を示す断面図、図49～図51は、本発明の他の実施の形態である半導体装置を示す断面図、図52は、本発明の他の実施の形態である半導体装置の配線を示す拡大平面図、図53、図54は、本発明の他の実施の形態である半導体装置のテスト方法を示す断面図、図55は、本発明の他の実施の形態である半導体装置を示す平面図、図56は、本発明の他の実施の形態である半導体装置の配線を示す拡大平面図、図57、図58は、本発明の他の実施の形態である半導体装置の配線を示す断面図である。

## 発明を実施するための最良の形態

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

### 5 実施の形態 1

図 1 は、本実施の形態の C S P (チップサイズパッケージ) を示す斜視図、図 2 は、この C S P の断面図、図 3 は、プリント配線基板に実装されたこの C S P の断面図である。

本実施の形態の C S P は、主として半導体チップ 1、半導体チップ 1 の主面  
10 (素子形成面) を覆うエラストマー 2、エラストマー 2 の上部に設けられた絶縁  
テープ 3、絶縁テープ 3 の一面 (下面) に形成された複数の配線 4 およびこれら  
の配線 4 の一端部に接続された半田バンプ 5 により構成されている。

半導体チップ 1 は、例えば厚さ 0.28~0.55mm 程度の単結晶シリコンから  
なり、その主面には酸化シリコン膜や窒化シリコン膜などの絶縁膜で構成された  
15 表面保護膜 (パッシベーション膜) 6 が形成されている。半導体チップ 1 の周縁  
部には、複数のボンディングパッド 7 が形成されている。これらのボンディング  
パッド 7 は、半導体チップ 1 の四辺に沿って一列に配置されており、各ボンディ  
ングパッド 7 の表面には、ボンディングパッド 7 と配線 4 とを電氣的に接続する  
Au バンプ 8 が接合されている。

20 半導体チップ 1 の主面を覆うエラストマー 2 は、例えば半導体チップ 1 の主面  
上に塗布した低弾性の感光性レジスト、または半導体チップ 1 の主面上にラミネ  
ートした低弾性の感光性フィルムからなり、その膜厚は 0.005~0.15mm 程  
度、好ましくは 0.01~0.1mm 程度、さらに好ましくは 0.02~0.1mm 程度  
である。また、このエラストマー 2 の縦×横の寸法は、半導体チップ 1 と同一で  
25 ある。

エラストマー 2 は、例えばシリコーンゴム系、エポキシ系、ポリイミド系、ウ  
レタン系、フッ素系などからなる高分子エラストマーの単層構造、またはこれら  
を 2~3 層程度ラミネートした積層構造で構成されている。エラストマー 2 は、  
半導体チップ 1 とこれを実装する基板との熱膨張係数差に起因する応力の緩和な

らびにチップ表面の保護を目的として形成され、その弾性率は1～5000MPa程度、好ましくは1～1000MPa程度、さらに好ましくは1～500MPa程度である。

5 エラストマー2の周縁部には、複数のスルーホール10が形成されている。これらのスルーホール10の位置は、半導体チップ1の主面に形成されたボンディングパッド7の位置に対応している。すなわち、スルーホール10は、対応するボンディングパッド7の真上に形成され、このスルーホール10の内部にAuバンプ8が配置されるようになっている。

10 エラストマー2の上部に配置された絶縁テープ3は、例えばポリイミド、ガラスエポキシ、ポリエステルなどの樹脂からなり、その厚さは0.05～0.125mm程度、縦×横の寸法は半導体チップ1と同一である。この絶縁テープ3は、接着剤などによってエラストマー2の上面に接合されている。絶縁テープ3の一面に形成された複数の配線4は、絶縁テープ3に貼り付けた電解銅箔（または圧延銅箔）などをエッチングして形成したもので、その両端部の表面には、例えばAu/Niのメッキが施されている。

図4は、絶縁テープ3の上面を示す斜視図、図5は下面を示す斜視図である。図4に示すように、絶縁テープ3の周縁部には、複数の開孔9aが形成されている。これらの開孔9aの位置は、半導体チップ1のボンディングパッド7およびエラストマー2のスルーホール10の位置に対応している。また、絶縁テープ3  
20 の中央部には上記開孔9aと同数の開孔9bが形成されている。これらの開孔9bは、絶縁テープ3の縦方向および横方向に沿って格子状に配置されている。図5に示すように、絶縁テープ3の下面には開孔9a、9bと同数の配線4が形成されている。各配線4の一端部は、対応する開孔9aの内側に延在し、他端部は対応する開孔9bの内側に延在している。

25 図1、図2に示すように、配線4の一端部は、エラストマー2に開孔したスルーホール10を通じてAuバンプ8と電氣的に接続されている。スルーホール10の内部には、配線4とAuバンプ8との接続部を保護するための封止材11が充填されている。この封止材11は、例えばエポキシ樹脂からなる。また、各配線4の他端部には、球状の半田バンプ5が電氣的に接続されている。半田バンプ

5 は、例えば P b - S n 共晶合金、高融点半田、A u メッキ付き N i 合金などからなり、その直径は 0.25 ~ 0.7 mm 程度である。

上記 C S P をプリント配線基板にフリップチップ実装するには、図 3 に示すように、プリント配線基板 40 のフットプリント（電極）41 上に半田ペーストあるいはフラックスを使って半田バンプ 5 を仮付けした後、加熱炉内で半田バンプ 5 をリフローすればよい。

上記した本実施の形態の C S P は、半導体チップ 1 と半田バンプ 5 との間にエラストマー 2 を介在させているので、半導体チップ 1 とプリント配線基板 40 との熱膨張係数差に起因する応力をこのエラストマー 2 の弾性変形によって緩和、  
10 吸収することができる。これにより、半田バンプ 5 の温度サイクル寿命が長くなるために、C S P とプリント配線基板 40 との接続信頼性を長期間に亘って確保することができる。この結果、本実施の形態の C S P を実装するプリント配線基板 40 は、熱膨張係数が半導体チップ 1 のそれに近くなるように設計した高価な材料でなくともよく、半導体チップ 1 よりも大きい熱膨張係数を有する安価な材  
15 料（例えばガラスエポキシ樹脂など）で構成することが可能となる。

また、本実施の形態の C S P は、半導体チップ 1 の主面上にエラストマー 2 を形成し、さらにこのエラストマー 2 の上部に絶縁テープ 3 を接合しているので、エラストマー 2 および絶縁テープ 3 が半導体チップ 1 の主面を保護する保護層として機能する。従って、半導体チップ 1 の主面に別途ポリイミド樹脂やエポキシ  
20 樹脂などの保護層を形成しなくともよく、このままの状態プリント配線基板 40 に実装することができる。

次に、上記のように構成された C S P の製造方法を図 6 ~ 図 18 を用いて工程順に説明する。図 6 は、半導体ウエハの全体平面図、図 7 ~ 図 18 は、図 6 の A - A' 線に沿った断面図である。

25 まず、図 6 および図 7 に示すような単結晶シリコンからなる半導体ウエハ 50 A を用意する。この半導体ウエハ 50 A の主面の各チップ領域 1 A には、あらかじめ酸化、イオン打ち込み、拡散、絶縁膜堆積、導電膜堆積、フォトリソグラフィ加工などを組み合わせた周知のウエハプロセスによって、図示しない L S I を形成しておく。また、各チップ領域 1 A の周縁部のパッシベーション膜 6 を開孔

して最上層配線の一部を露出させることにより、ボンディングパッド7を形成しておく。最上層配線は、例えばAu合金膜からなる。

次に、図8に示すように、各チップ領域1Aのボンディングパッド7上にAuバンパ8を接続する。Auバンパ8の接続は、例えばAuワイヤの先端をボール状に加工するボールボンディング法を用いて行う。

次に、図9に示すように、半導体ウエハ50Aの主面上に低弾性の感光性レジスト（またはフィルム）をスピン塗布（または接着剤でラミネート）してエラストマー2を形成する。次に、図10に示すように、フォトマスク20を用いてエラストマー2の所定領域を選択的に露光し、次いで現像を行うことにより、図11に示すように、ボンディングパッド7の真上のエラストマー2にスルーホール10を形成し、Auバンパ8を露出させる。なお、このスルーホール10は、エラストマー2に微細なスポット径のレーザビームを照射する方法を用いて形成することもできる。

次に、図12に示すように、エラストマー2の上面に接着剤などを使って絶縁テープ3を貼り付ける。このとき、エラストマー2のスルーホール10の上部に絶縁テープ3の開孔9aと配線4の一端部とが正確に配置されるように位置決めする。また、エラストマー2と絶縁テープ3との密着を確実にするために、絶縁テープ3をエラストマー2の上面に押し当てて配線4をエラストマー2に埋め込み、配線4の上面とエラストマー2の上面とをほぼ同一の高さにする。

次に、図13に示すように、500℃程度に加熱したボンディングツール21を絶縁テープ3の開孔9aを通じて配線4の一端部に圧着することによって、配線4とAuバンパ8とを電氣的に接続した後、図14に示すように、絶縁テープ3の開孔9aを通じてエラストマー2のスルーホール10の内部に封止材11を注入し、次いでこの封止材11を熱硬化させる。

次に、図15に示すように、絶縁テープ3の開孔9bの内部に露出している配線4の他端部に半田バンパ5を接続する。半田バンパ5と配線の接続を行うには、あらかじめ球状に成形しておいた半田バンパ5を半田ペーストやフラックスなどを用いて配線4の表面に仮付けした後、加熱炉内で半田バンパ5をリフローする。

次に、この状態でチップ領域1Aのテストング（電気特性検査およびバーン

イン)を行う。このテストを行うには、例えば図16に示すような薄いフィルム状の検査ジグ17を用意する。この検査ジグ17は、半導体ウエハ50Aとほぼ同じサイズで構成されており、その一面には多数のプロープ18が形成されている。そして、図17に示すように、この検査ジグ17のプロープ18を各

5 チップ領域1Aの半田バンプ5に当ててテストを行うことにより、良品のチップ領域1Aと不良のチップ領域1Aとを選別する。

次に、図18に示すように、半導体ウエハ50Aの裏面にダイシングテープ2を接着した後、各チップ領域1Aの境界部(スクライブライン)をダイシングして半導体チップ1に分割することにより、前記図1および図2に示したCSP

10 が完成する。図19は、上記したCSPの製造工程の全体フローである。

このように、本実施の形態のCSPの製造方法は、チップ領域1Aのボンディングパッド7上にAuバンプ8を接続した後、絶縁テープ3の配線4に接続された半田バンプ5にプロープ18を当ててテストを行うまでの全工程をウエハプロセス(いわゆる前工程)で行い、その後、半導体ウエハ50Aをダイシングしてチップ領域1AからCSP構造の半導体チップ1を得る。すなわち、これ

15 らの半導体チップ1は、半導体ウエハ50Aをダイシングした時点でその主面がエラストマー2および絶縁テープ3によって被覆されており、かつ良品と不良品とに選別されているので、そのままCSPとしてプリント配線基板40に実装することができ、従来、半導体ウエハ50Aのダイシング後に行っていた半導体チップ1のパッケージング工程(いわゆる後工程)がほぼ不要となる。

20

なお、前記図1、図2に示すCSPは、エラストマー2の上面に接着した絶縁テープ3の下面側に配線4を配置したが、例えば図20に示すように、絶縁テープ3の上面側に配線4を配置してもよい。このようにすると、エラストマー2と絶縁テープ3との接触面積が大きくなって両者の密着性が向上するために、配線

25 4をエラストマー2に埋め込む作業が不要となる。この場合は、半田バンプ5が接続される領域(端子部)を除いた配線4の表面をソルダーレジスト16で被覆する。

また、CSPの他の態様として、例えば図21に示すように、チップ-基板間に生じる応力を緩和できる程度の弾性率を備えた絶縁テープ3を半導体チップ1

- の主面上に直接貼り付けてもよい。この場合は、エラストマー 2 が不要となるので、C S P の部品点数の低減および製造工程の低減を図ることができる。また、エラストマー 2 を使用しない分、半導体チップ 1 の主面の平坦度が向上するので、配線 4 に接続する半田バンプ 5 の高さのばらつきが低減され、C S P とプリント配線基板 4 0 との接続信頼性がさらに向上する。

- また、配線 4 を形成した絶縁テープ 3 を使用する手段に代えて、例えば図 2 2 に示すように、エラストマー 2 の表面に配線 4 を直接形成してもよい。この配線 4 を形成するには、例えば前記の方法で半導体チップ 1 の主面上にエラストマー 2 を形成した後、その表面に無電解メッキや蒸着などの方法で金属膜を堆積し、  
10 次いでフォトリソグラフィ技術を使ってこの金属膜をパターニングする。この場合も前記の態様と同様、C S P の部品点数の低減および製造工程の低減を図ることができ、かつチップ表面の平坦度も向上する。

- C S P のさらに他の態様として、例えば図 2 3 に示すように、ボンディングパッド 7 上に接続する A u バンプ 8 を多段構造にしてもよい。このようにすると、  
15 A u バンプ 8 の高さ方向の径が実効的に大きくなるので、A u バンプ 8 自体にもある程度の応力吸収能力を持たせることができる。

- C S P のさらに他の態様として、例えば図 2 4 (斜視図) および図 2 5 (断面図) に示すように、エラストマー 2 (または絶縁テープ 3 もしくはその両方) の表面に波状の凹凸を設けて配線 4 に伸縮性を持たせてもよい。このようにすると、  
20 半田バンプ 5 に加わる応力の一部が配線 4 の伸縮によって緩和、吸収されるので、C S P とプリント配線基板 4 0 との接続信頼性がさらに向上する。

#### 実施の形態 2

図 2 6 は、本実施の形態の C S P を示す斜視図、図 2 7 は、この C S P の断面図である。

- 25 本実施の形態の C S P は、半導体チップ 1 の主面をエラストマー 2 で被覆し、このエラストマー 2 の上面に配線 1 2 を形成している。エラストマー 2 は、前記実施の形態 1 で用いたものと同様の低弾性感光性レジスト (またはフィルム) からなり、その上面に形成された配線 1 2 の一端部は、エラストマー 2 に形成されたスルーホール 1 3 を通じて半導体チップ 1 のボンディングパッド 7 と電氣的に

接続されている。また、配線 1 2 の他端部には、前記実施の形態 1 と同様の半田バンプ 5 が接続されている。なお、ボンディングパッド 7 は、半導体チップ 1 の主面の周縁部ではなく、半田バンプ 5 と同じように半導体チップ 1 の主面の中央部に格子状に配置されている。

- 5      図 2 6 に示すように、エラストマー 2 の上面の配線 1 2 は、スルーホール 1 3 から端子部（半田バンプ 5 が接続される領域）までの経路が直線ではなく、円弧状のパターンになっている。また、図 2 7 に示すように、配線 1 2 の表面は、端子部を除いて溶剤レジスト 1 6 で被覆されている。さらに、半導体チップ 1 の側面は、エポキシ樹脂などからなる封止材 1 4 が被覆され、外部からこの側面  
10      を通じてチップ内部に水分などの異物が浸入し難い構造になっている。

- エラストマー 2 の上面の配線 1 2 を円弧状のパターンにした本実施の形態の C S P によれば、チップー基板間に生じる応力がエラストマー 2 の弾性変形のみならず、配線 1 2 の伸縮によっても吸収、緩和されるので、C S Pー基板間の接続信頼性がより一層向上する。また、配線 1 2 に応力吸収能力を持たせたことにより、エラストマー 2 を薄く（すなわち、エラストマー 2 の応力吸収能力を小さく）しても C S Pー基板間の接続信頼性が確保されるので、薄型の C S P を実現  
15      することができる。

- 上記した本実施の形態の C S P は、半導体チップ 1 のボンディングパッド 7 上に Au バンプ 8 をボンディングしないので、製造工程の途中でボンディングパッド 7 に強い衝撃が加わることがない。従って、素子形成領域を含む半導体チップ 1 の主面の任意の領域にボンディングパッド 7 を配置することができる。また、半導体チップ 1 の主面上にエラストマー 2 を形成する際に Au バンプ 8 の高さを考慮しなくともよいので、エラストマー 2 を薄くすることが容易になる。  
20

- なお、配線 1 2 のパターンは、図 2 8 (a) に示すような円弧状パターンの他、  
25      例えば同図 (b) に示すような S 字状パターン、同図 (c) に示すような L 字状パターンなど、任意の湾曲パターンとすることができる。また、同図 (d) に示すように、配線 1 2 の湾曲部を複数本の微細な配線パターンで構成することにより、湾曲部の伸縮性がさらに向上すると共に配線抵抗が小さくなり、しかも 1 本の配線が断線した場合でも、他の配線で導通を確保することが可能となる。また



その際、隣り合った微細配線同士を所々で結線してメッシュ状のパターンにした場合には、微細配線が一箇所でも断線した場合でも、配線抵抗の増大を最小限に抑えることができる。

次に、本実施の形態のC S Pの製造方法を図29～図38を用いて工程順に説明する。図29は、半導体ウエハの全体平面図、図30および図31は、この半導体ウエハのチップ領域約1個分を示す断面図である。

まず、図29に示すような単結晶シリコンからなる半導体ウエハ50Bを用意する。この半導体ウエハ50Bの主面の各チップ領域1Bには、図示しないLSIが形成されている。また、各チップ領域1Bの中央部には、例えばA1合金膜からなる複数のボンディングパッド7が格子状に形成されている。

次に、図30に示すように、半導体ウエハ50Bの主面上に低弾性の感光性レジスト（またはフィルム）をスピン塗布（または接着剤でラミネート）してエラストマー2を形成した後、図31に示すように、半導体ウエハ50Bの裏面側からチップ領域1Bの境界部（スクライブライン）をエッチングしてエラストマー2に達するスリット15を形成し、次いで、このスリット15の内部に裏面側から封止材14を充填することにより、互いに隣接するチップ領域1B同士を電気的に絶縁する。この封止材14は、後の工程でチップ領域1Bをダイシングして半導体チップ1に分割した後には、半導体チップ1の側面の保護層となる。

次に、図32に示すように、フォトリソマスク25を用いてエラストマー2の所定領域を選択的に露光し、次いで現像を行うことにより、図33に示すように、エラストマー2にスルーホール13を形成してボンディングパッド7を露出させる。このとき、スクライブライン近傍のエラストマー2も同時に取り除いておくことにより、最終工程でのダイシングが容易になる。

次に、図34に示すように、スルーホール13の内部を含むエラストマー2の表面にAuあるいはCuなどのメッキ層12Aを蒸着した後、フォトリソレジスト膜をマスクにしたエッチングでこのメッキ層12Aをパターンニングすることにより、図35に示すように、一端部がボンディングパッド7に接続され、他端部がスルーホール13を通じてエラストマー2の上面に延在する配線12を形成する。このとき、エラストマー2の上面の配線12を、前記図26あるいは図28に示す

ような湾曲したパターンで形成する。

次に、図 3 6 に示すように、スルーホール 1 3 の内部を含むエラストマー 2 の表面に溶剤レジスト 1 6 をコーティングし、半田バンプ 5 が接続される端子部を除いた配線 1 2 の表面を溶剤レジスト 1 6 で被覆する。また、スルーホール 1 3 の内部に埋め込まれた溶剤レジスト 1 6 は、ボンディングパッド 7 と配線 1 2 の接続部を保護する封止材として機能する。

次に、図 3 7 に示すように、配線 1 2 の端子部に半田バンプ 5 を接続する。半田バンプ 5 の接続は、前記実施の形態 1 と同様、あらかじめ球状に成形した半田バンプ 5 を半田ペーストやフラックスなどを用いて配線 1 2 上に仮付けした後、  
10 加熱炉内でリフローすればよい。

次に、この状態でテストング（電気特性検査およびバーンイン）を行って良品のチップ領域 1 B と不良のチップ領域 1 B とを選別した後、図 3 8 に示すように、半導体ウエハ 5 0 B の裏面にダイシングテープ 2 2 を接着し、各チップ領域 1 B の境界部（スクライブライン）をダイシングして複数の半導体チップ 1 に分割することにより、本実施の形態の C S P が完成する。

なお、前記図 2 6 および図 2 7 に示す C S P は、ボンディングパッド 7 の真上にスルーホール 1 3 を配置しているが、例えば図 3 9 に示すように、ボンディングパッド 7 から離れた領域にスルーホール 1 3 を配置し、表面保護膜（パッシベーション膜） 6 上に形成した配線 1 9 をボンディングパッド 7 からスルーホール 1 3 まで引き回してもよい。また、表面保護膜 6 上に配線 1 9 を形成する手段に代えて、例えば図 4 0 に示すように、ボンディングパッド 7 から離れた領域のエラストマー 2 と表面保護膜 6 とにスルーホール 1 3 を形成し、ボンディングパッド 7 と同層の導電膜（例えば A 1 合金膜）で形成した配線 2 3 をこのスルーホール 1 3 まで引き回してもよい。なお、これらの態様では、前記実施の形態 1 で使用したような、ボンディングパッド 7 を周縁部に配置した半導体チップ 1 を使用する  
25 こともできる。

また、C S P の他の態様として、例えば図 4 1 （平面図）および図 4 2 （断面図）に示すように、半田バンプ 5 を接続する端子部の近傍のエラストマー 2 にスリット 2 7 を設けてもよい。このようにすると、スリット 2 7 が伸縮することに

よって端子部近傍のエラストマー 2 が弾性変形し易くなるので、半田バンプ 5 に加わる応力をさらに低減することができる。このとき、図示のように、各端子部を挟むようにして一对のスリット 27 を形成し、その一方をチップ中心側に、他方をその反対側に配置する。また、各スリット 27 の長手方向を、端子部と半導体チップ 1 の中心部とを結ぶ方向と直交する方向に配向する。このようにすると、端子部とチップ中心部とを結ぶ方向に沿った半導体チップ 1 の膨張、収縮に起因する応力成分を有効に緩和することができる。

また、例えば図 43 に示すような、エラストマー 2 の上面に絶縁テープ 30 をラミネートする CSP の場合は、絶縁テープ 30 に形成した配線 33 を前記図 28 に示すような湾曲パターンで構成してもよい。

図 43 に示す CSP は、例えば次のような方法で製造する。まず、図 44 に示すように、半導体ウエハ 50B のボンディングパッド 7 上に Au バンプ 8 を接続した後、半導体ウエハ 50B の主面上にエラストマー 2 をスピン塗布（または接着剤でラミネート）する。またこれとは別に、図 45 に示すような絶縁テープ 30 を用意する。この絶縁テープ 30 の一面（上面）に形成された配線 33 の一端部は、絶縁テープ 30 に開孔したスルーホール 31 に接続されている。また、このスルーホール 31 の内部には、その一部が絶縁テープ 30 の下面側に突出したメッキ層 32 が形成されている。配線 33 の表面は、後の工程で半田バンプ 5 が接続される領域（端子部）を除き、ソルダーレジスト 16 で被覆されている。

次に、図 46 に示すように、上記絶縁テープ 30 を接着剤などを使ってエラストマー 2 の上面にラミネートし、ボンディングパッド 7 上の Au バンプ 8 とスルーホール 31 内のメッキ層 32 とを電氣的に接続した後、図 47 に示すように、絶縁テープ 30 の上面に形成された配線 33 の一端部（端子部）に半田バンプ 5 を接続する。

次に、この状態でテストング（電気特性検査およびバーンイン）を行った後、図 48 に示すように、半導体ウエハ 50B の裏面にダイシングテープ 22 を接着し、次いで各チップ領域 1B の境界部（スクライブライン）をダイシングして複数の半導体チップ 1 に分割することにより、図 43 に示す CSP が得られる。

また、CSP の他の態様として、例えば図 49 (a) に示すように、チップ領

域 1 B の境界部のエラストマー 2 にスリット 3 4 を形成し、その内部にエラストマー 2 よりも硬質の樹脂などからなる封止材 3 5 を充填してもよい。同図 (b) に示すように、この封止材 3 5 は、チップ領域 1 B の境界部をダイシングした後には半導体チップ 1 の側面の保護層として機能するが、エラストマー 2 よりも硬質であるために、ダイシング時にエラストマー 2 が過度に変形するのを防止する機能もある。

C S P のさらに他の態様として、例えば図 5 0 (a) に示すように、上記スリット 3 4 をその底部が半導体ウエハ 5 0 B の内部に達するように深く形成してもよい。このようにすると、封止材 3 5 による半導体チップ 1 の側面保護機能をさらに強化することができる。その際、例えば半導体ウエハ 5 0 B を異方性エッチングしてスリット 3 4 の底部の径をウエハ表面近傍よりも大きくすることにより、封止材 3 5 が半導体チップ 1 の側面から剥離し難くなる (同図 (b))。

C S P のさらに他の態様として、例えば図 5 1 (a) に示すように、チップ領域 1 B の境界部の半導体ウエハ 5 0 B にスリット 3 4 を形成し、その後、同図 (b) に示すように、このスリット 3 4 の内部を含む半導体ウエハ 5 0 B の主面上にエラストマー 2 を塗布してもよい。このようにすると、同図 (c) に示すように、エラストマー 2 を半導体チップ 1 の側面の保護層として利用することができるので、スリット 3 4 の内部に樹脂などの封止材を充填する工程が不要となる。

C S P のさらに他の態様として、例えば図 5 2 に示すように、エラストマーの上面や絶縁テープの一面に形成した配線 1 2 の少なくとも一部をヒューズ 3 6 として利用してもよい。このようにすると、電気特性検査で短絡不良などが見出されたチップ領域に形成されたヒューズ 3 6 をバーンインに先だって、またはバーンイン中に切断することによって、不良のチップ領域を排除することができる。

また、配線 1 2 をヒューズ 3 6 として利用する上記の手段に代えて、例えば図 5 3 に示すように、電気特性検査で短絡不良などが見出されたチップ領域 1 B の半田バンプ 5 を削り取ったり、図 5 4 に示すように、不良が見出されたチップ領域 1 B のバンプ電極 5 の表面を樹脂などの絶縁層 3 7 で被覆したりして、テスターやバーンイン装置の導通ピンが半田バンプ 5 に接触しないようにすることによっても、不良のチップ領域 1 B を排除することができる。

図 5 5 は、エラストマー 2 の上部に形成された配線 1 2 を、この配線 1 2 に接続される半田バンプ 5 と半導体チップ 1 の中心とを結ぶ方向に対して直交するように配向し、かつ半導体チップ 1 の周縁部に配置される配線 1 2 を半導体チップ 1 の中央部に配置される配線 1 2 よりも長く形成した態様である。このようにすると、半田バンプ 5 と配線 1 2 との相対的な位置ずれに起因して半田バンプ 5 に加わる応力が均一となり、半田バンプ 5 の接続寿命がチップ全体で均質化されるので、半田バンプ 5 の接続信頼性が向上する。

この場合、配線 1 2 は必ずしも直線状のパターンでなくともよく、例えば図 5 6 に示すように、チップ中心方向に対して直交する方向の配線成分の累積長がチップ中心からの距離に比例して長くなっていけばよい。

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

例えば図 5 7 に示すように、半導体チップ 1 の主面に接合したエラストマー 2 に形成する配線 1 2 を多層構造にしてもよい。またその際、電源用の配線 1 2 と信号用の配線 1 2 をエラストマー 2 の別層に配置することによってノイズの低減を図るようにしてもよい。さらに、エラストマー 2 の上面に絶縁テープ 3 を接合する場合は、図 5 8 に示すように、両面に配線 3 3 を形成した絶縁テープ 3 を用いてもよい。

20

#### 産業上の利用可能性

本発明によれば、半導体チップと基板との熱膨張係数差に起因してバンプ電極に加わる応力をエラストマーの弾性変形あるいは配線の伸縮によって緩和、吸収するようにした CSP を安価に製造することができるので、小型で軽量の電子機器、例えば携帯電話、PDA、HPC などの携帯情報端末機に用いて好適な CSP を提供することができる。

25

## 請 求 の 範 囲

1. 半導体ウエハの主面の複数のチップ領域に形成された複数の半導体素子およびボンディングパッドの上部にエラストマー層が形成され、一端部が前記エラストマー層に開孔されたスルーホールを通じて前記ボンディングパッドと電氣的に接続され、他端部が前記エラストマー層の上部に配置された配線にバンプ電極が接続されていることを特徴とする半導体装置。
2. 請求項 1 記載の半導体ウエハのチップ領域を分割して得られた半導体チップからなるチップサイズパッケージ型の半導体装置。
3. 請求項 2 記載の半導体装置であって、前記半導体チップの側面に保護層が形成されていることを特徴とする半導体装置。
4. 請求項 1 記載の半導体装置であって、前記配線は、前記エラストマー層の上部に接合された絶縁テープの一面に形成され、前記配線と前記ボンディングパッドは、前記ボンディングパッド上に接合された Au バンプを介して電氣的に接続されていることを特徴とする半導体装置。
5. 請求項 4 記載の半導体装置であって、前記ボンディングパッド上には、複数段の Au バンプが接合されていることを特徴とする半導体装置。
6. 請求項 4 記載の半導体装置であって、前記 Au バンプは、前記エラストマー層のスルーホールに充填された樹脂によって封止されていることを特徴とする半導体装置。
7. 請求項 1 記載の半導体装置であって、前記エラストマー層は、前記半導体ウエハの主面上に塗布された感光性レジスト、または前記半導体ウエハの主面上に接着された感光性フィルムからなることを特徴とする半導体装置。
8. 請求項 1 記載の半導体装置であって、前記エラストマー層の弾性率は 1 ～ 5000 MPa であることを特徴とする半導体装置。
9. 請求項 1 記載の半導体装置であって、前記エラストマー層の弾性率は 1 ～ 1000 MPa であることを特徴とする半導体装置。
10. 請求項 1 記載の半導体装置であって、前記エラストマー層の弾性率は 1 ～ 500 MPa 程度であることを特徴とする半導体装置。

- 1 1. 請求項 1 記載の半導体装置であって、前記エラストマー層の膜厚は 0.005 ~ 0.15 mm であることを特徴とする半導体装置。
- 1 2. 請求項 1 記載の半導体装置であって、前記エラストマー層の膜厚は 0.01 ~ 0.1 mm であることを特徴とする半導体装置。
- 5 1 3. 請求項 1 記載の半導体装置であって、前記エラストマー層の膜厚は 0.02 ~ 0.1 mm であることを特徴とする半導体装置。
- 1 4. 請求項 1 記載の半導体装置であって、前記バンプ電極の間隔は、前記ボンディングパッドの間隔よりも広いことを特徴とする半導体装置。
- 1 5. 請求項 1 記載の半導体装置であって、前記エラストマー層の表面に凹凸が  
10 設けられていることを特徴とする半導体装置。
- 1 6. 請求項 1 記載の半導体装置であって、前記バンプ電極の近傍の前記エラストマー層にスリットが設けられていることを特徴とする半導体装置。
- 1 7. 請求項 1 記載の半導体装置であって、前記エラストマー層の上部に配置された配線は、少なくともその一部が湾曲したパターンで構成されていることを特  
15 徴とする半導体装置。
- 1 8. 請求項 1 記載の半導体装置であって、前記エラストマー層の上部に配置された配線は、少なくともその一部が複数本の配線で構成されていることを特徴とする半導体装置。
- 1 9. 請求項 1 記載の半導体装置であって、前記エラストマー層の上部に配置された配線は、前記配線に接続されるバンプ電極と前記チップ領域の中心とを結ぶ  
20 方向に対して直交するように配向され、かつ前記チップ領域の周縁部に配置された配線は、前記チップ領域の中央部に配置された配線よりも長いことを特徴とする半導体装置。
- 2 0. 以下の工程を含むことを特徴とする半導体装置の製造方法；
- 25 (a) 半導体ウエハの主面の複数のチップ領域に形成した複数の半導体素子およびボンディングパッドの上部にエラストマー層を形成する工程、
- (b) 前記エラストマー層を開孔して前記ボンディングパッドまたは前記ボンディングパッドと電氣的に接続された電極配線の上部にスルーホールを形成する工程、

(c) 一端部が前記スルーホールを通じて前記ボンディングパッドと電氣的に接続され、他端部が前記エラストマー層の上部に配置される配線を形成する工程、

(d) 前記エラストマー層の上部に配置された配線他端部にバンプ電極を接続する工程。

5 21. 以下の工程を含むことを特徴とする半導体装置の製造方法；

(a) 半導体ウエハの主面の複数のチップ領域に形成した複数の半導体素子およびボンディングパッドの上部にエラストマー層を形成する工程、

10 (b) 前記エラストマー層を開孔して前記ボンディングパッドまたは前記ボンディングパッドと電氣的に接続された電極配線の上部にスルーホールを形成する工程、

(c) 一面に配線を形成した絶縁テープを前記エラストマー層の上部に接合し、前記スルーホールを通じて前記配線の一端部と前記ボンディングパッドを電氣的に接続する工程、

15 (d) 前記エラストマー層の上部に配置された前記配線他端部にバンプ電極を接続する工程。

22. 請求項20または21記載の半導体ウエハのチップ領域をダイシングして半導体チップに分割する工程を含むことを特徴とする半導体装置の製造方法。

20 23. 請求項22記載の半導体装置の製造方法であって、前記チップ領域をダイシングして半導体チップに分割する工程に先立ってテストを行うことにより、前記複数のチップ領域を良品と不良品とに選別する工程を含むことを特徴とする半導体装置の製造方法。

24. 請求項22記載の半導体装置の製造方法であって、前記エラストマー層の上部に配置された配線の少なくとも一部でヒューズを形成し、前記テストにより不良とされたチップ領域のヒューズを切断する工程を含むことを特徴とする半導体装置の製造方法。

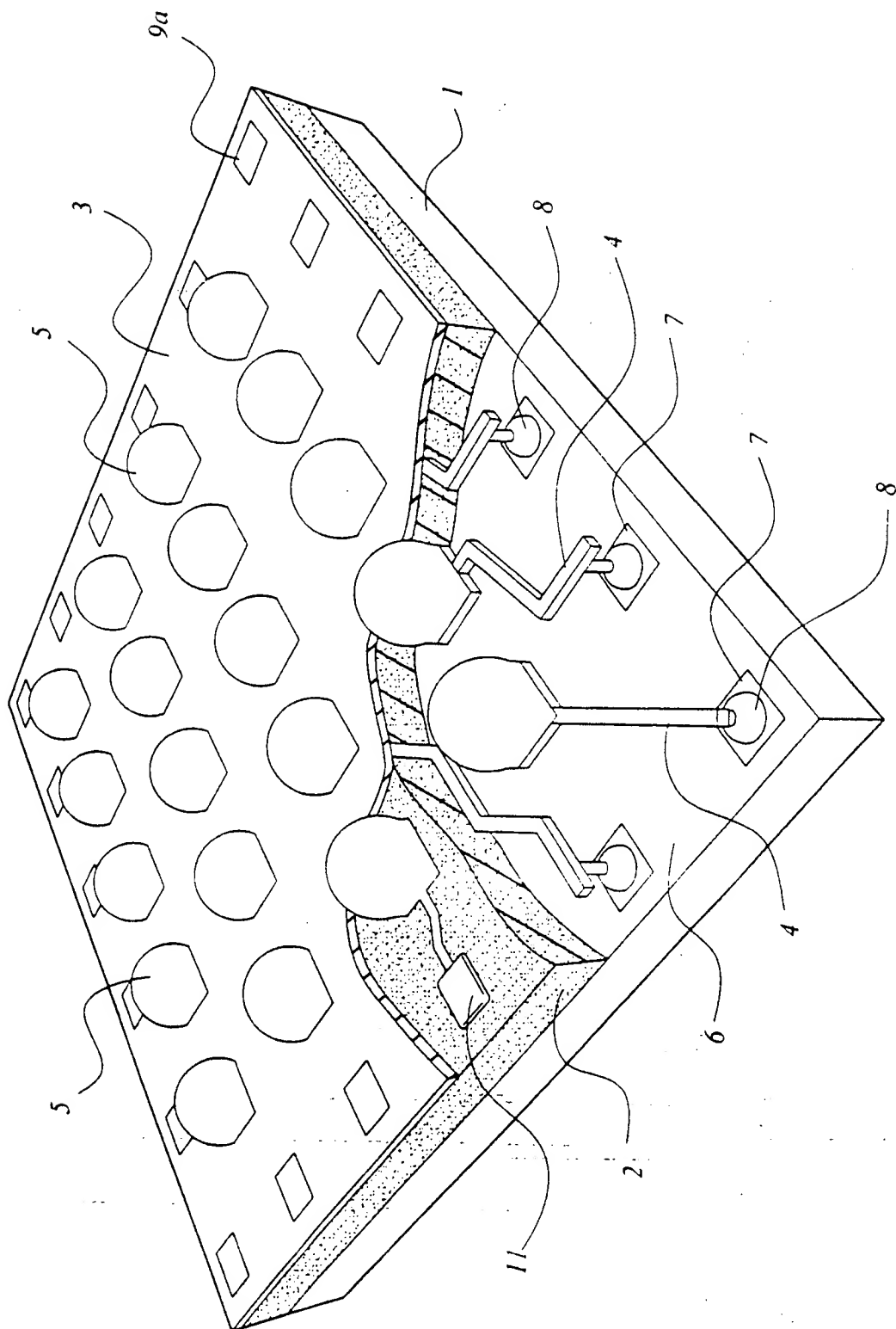
25 25. 請求項20または21記載の半導体装置の製造方法であって、前記チップ領域の境界部の半導体ウエハの主面または裏面にスリットを形成し、前記スリットの内部に保護層を形成する工程を含むことを特徴とする半導体装置の製造方法。

26. 以下の工程を含むことを特徴とする半導体装置の製造方法；

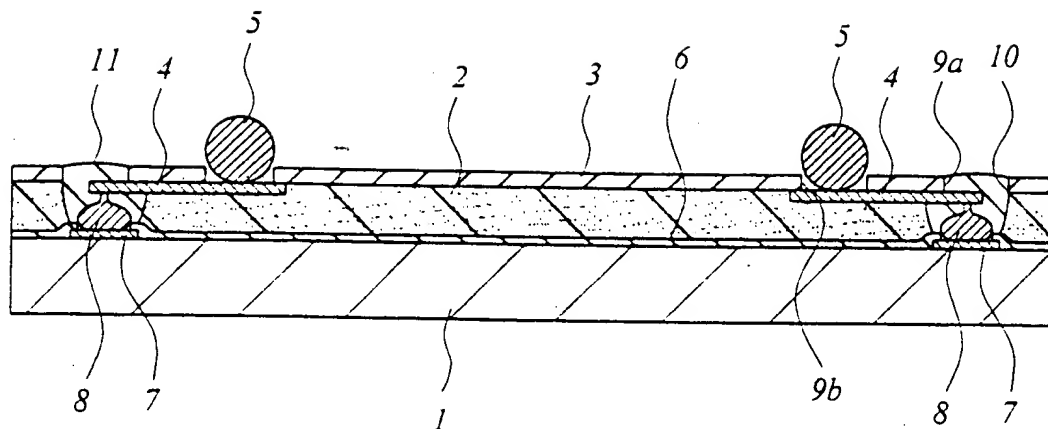


- (a) スクライブラインによって区画された複数のチップ領域のそれぞれの主面に複数の半導体素子と複数のボンディングパッドを形成する工程、
- (b) 前記複数のチップ領域の主面上にエラストマー層を形成する工程、
- (c) 前記複数のチップ領域のそれぞれにおいて、前記複数のボンディングパッドに対応する位置の前記エラストマー層にスルーホールを形成する工程、
- 5 (d) 前記複数のチップ領域のそれぞれにおいて、その一端部が前記エラストマー層上に形成され、かつその他端部が前記スルーホールを介して対応する前記ボンディングパッドに接続される導体層を形成する工程、
- (e) 前記複数のチップ領域のそれぞれにおいて、前記導体層の一端部に接続さ
- 10 れるバンプ電極を形成する工程、
- (f) 前記半導体ウエハを前記スクライブラインに沿って切断することにより、その主面に前記エラストマー層、前記導体層および前記バンプ電極を有する複数の半導体チップを形成する工程。
27. 請求項26記載の半導体装置の製造方法であって、前記エラストマー層は
- 15 感光性フィルムにより構成され、前記スルーホールはフォトリソグラフィ技術とエッチング技術とによって形成されることを特徴とする半導体装置の製造方法。
28. 請求項26記載の半導体装置の製造方法であって、前記導体層を形成する工程(d)は、前記ボンディングパッド上にAuバンプ電極を形成する工程と、前記Auバンプ電極上に配線層を形成する工程とを含むことを特徴とする半導体
- 20 装置の製造方法。
29. 請求項26記載の半導体装置の製造方法であって、前記導体層を形成する工程(d)は、前記スルーホール内を含む前記エラストマー層上の全面に金属層を形成する工程と、前記金属層をパターンニングして配線層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

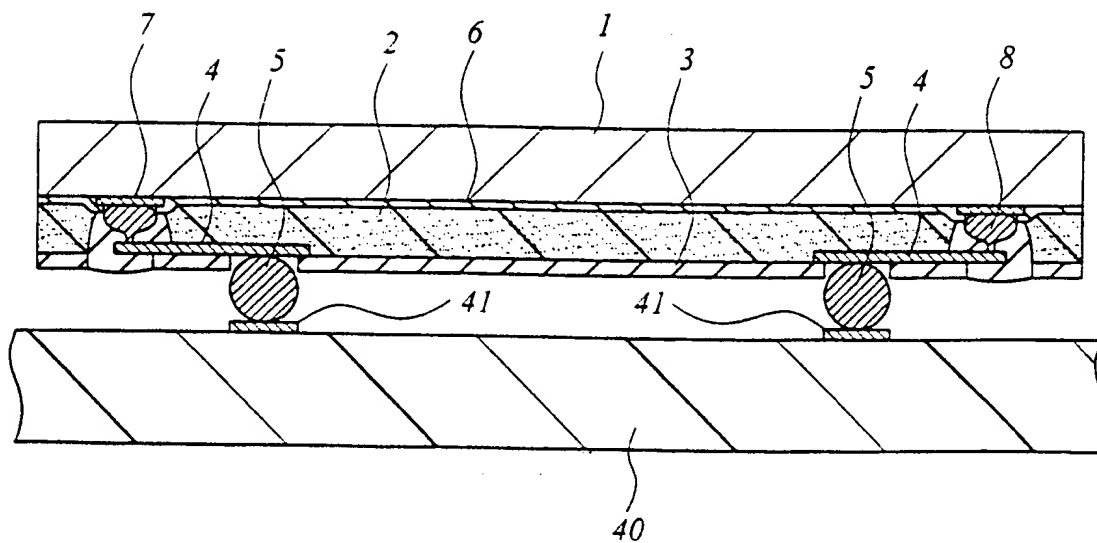
図 1



2



3



4

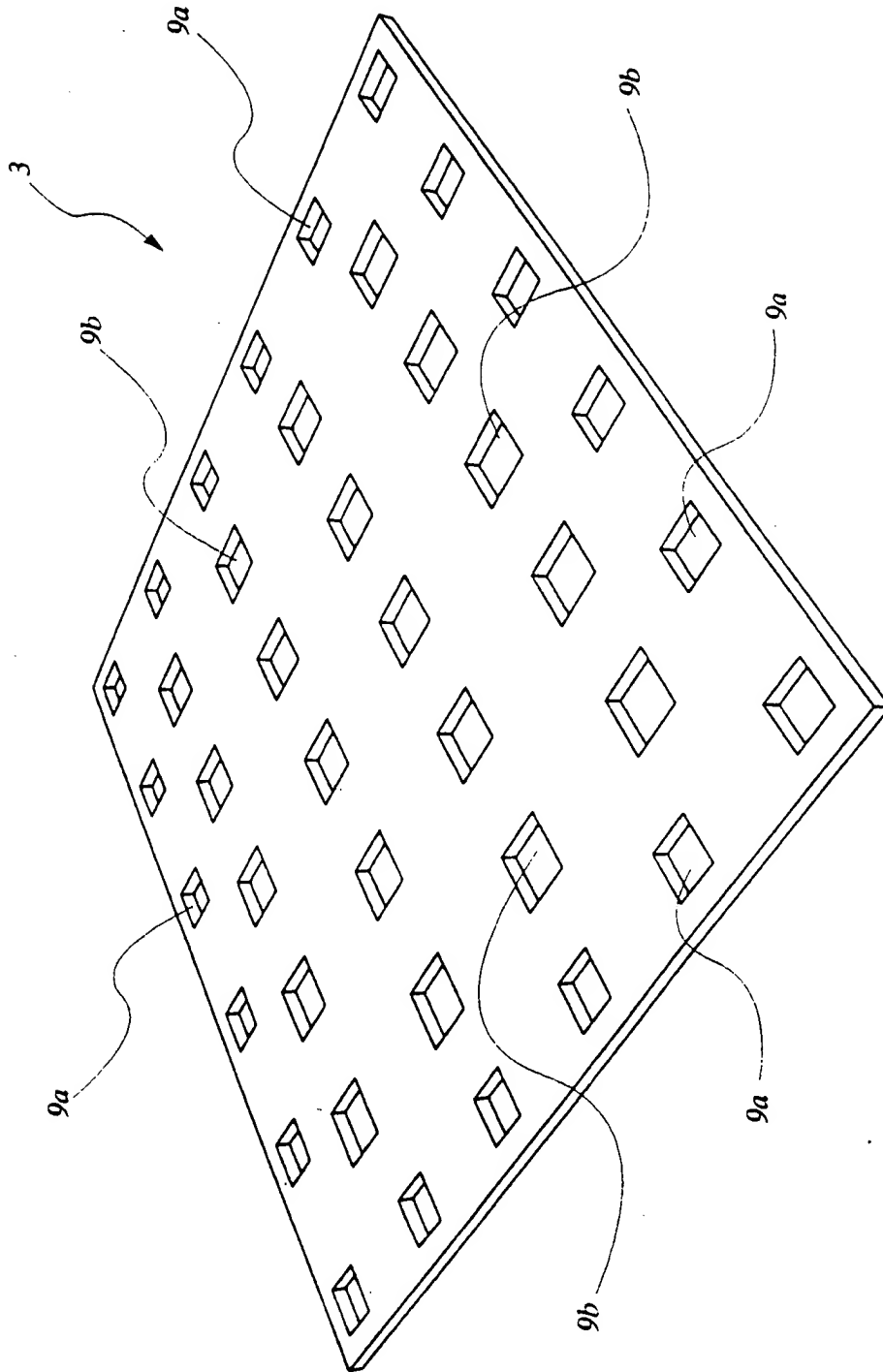
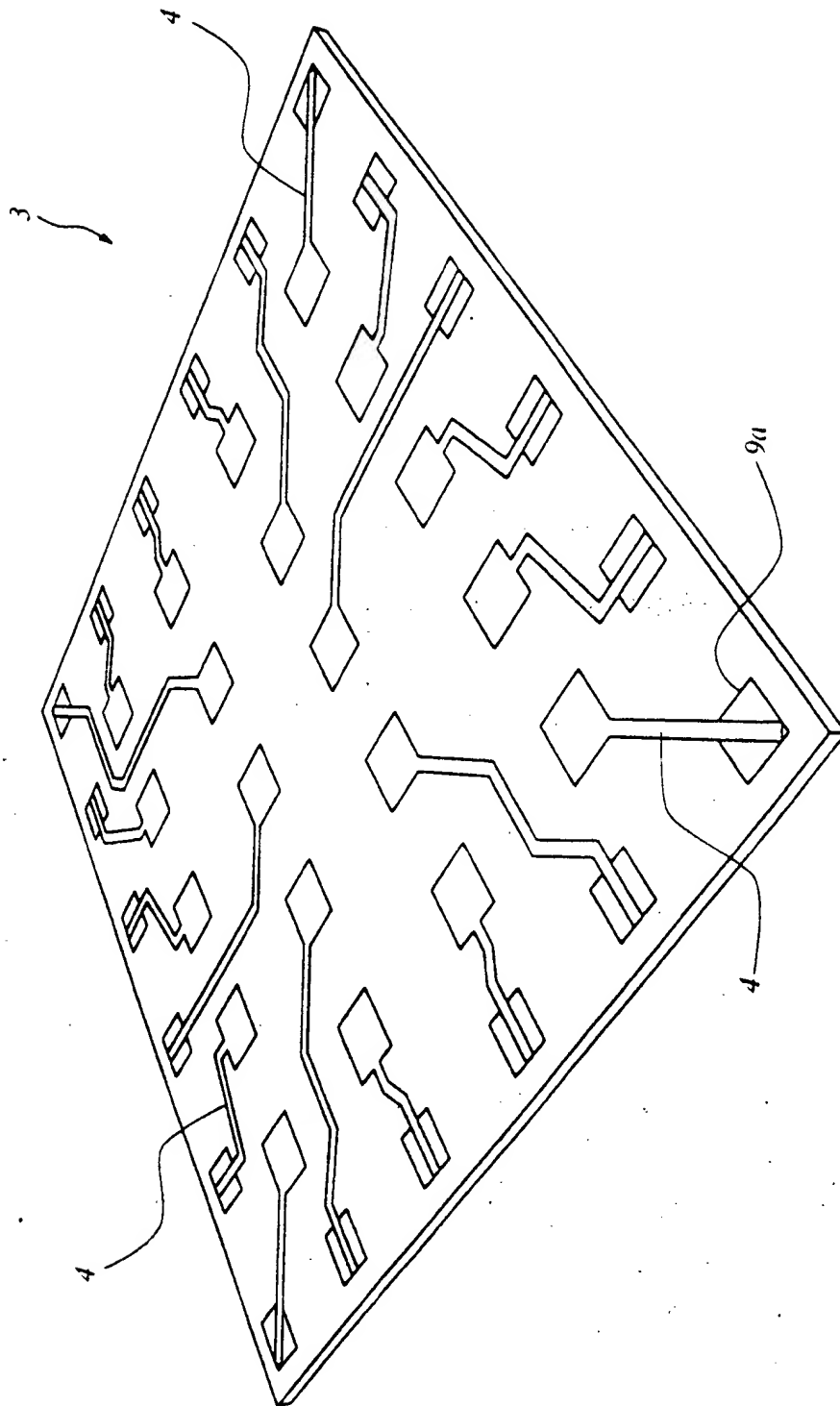


图 5



6

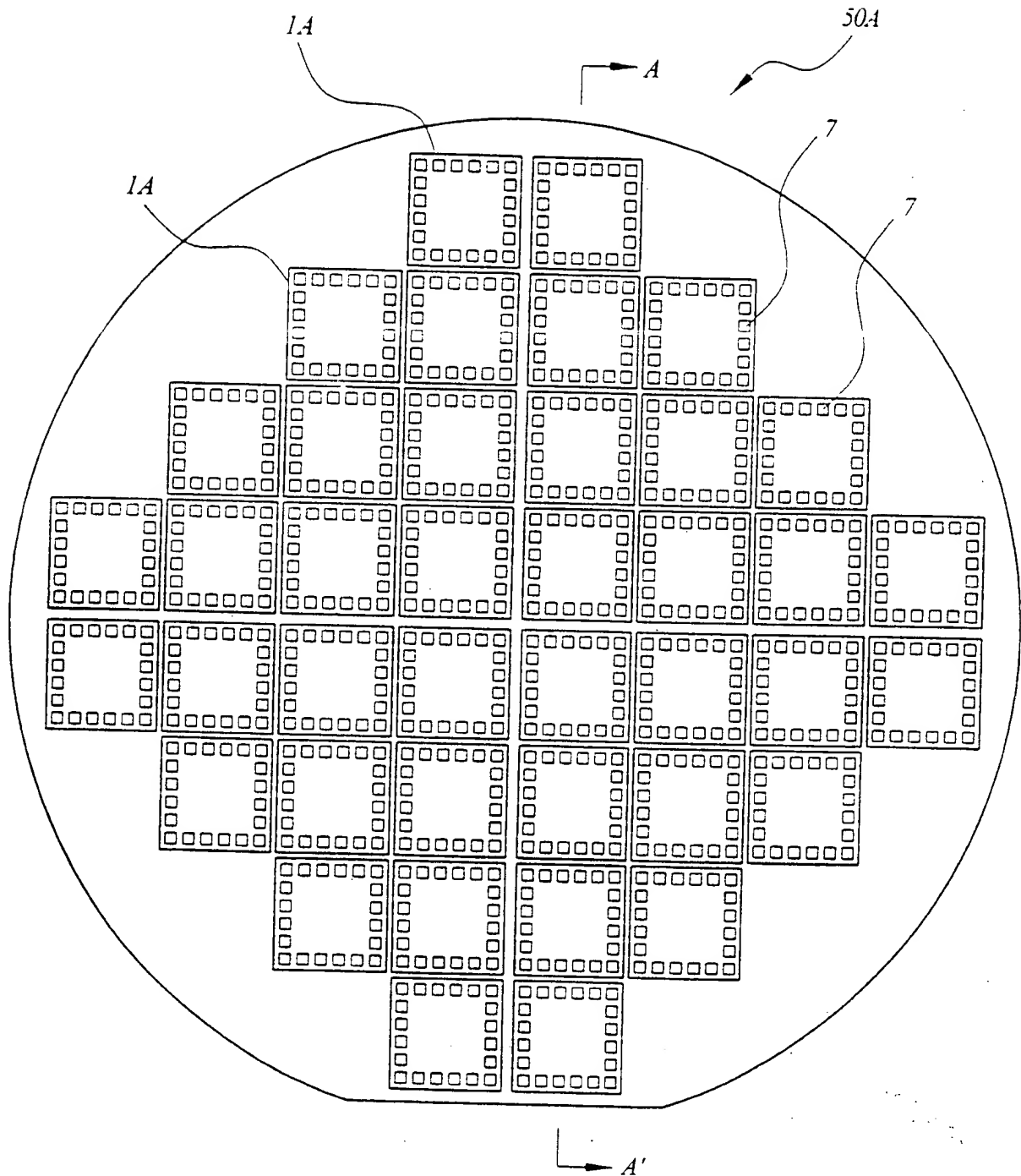


図 7

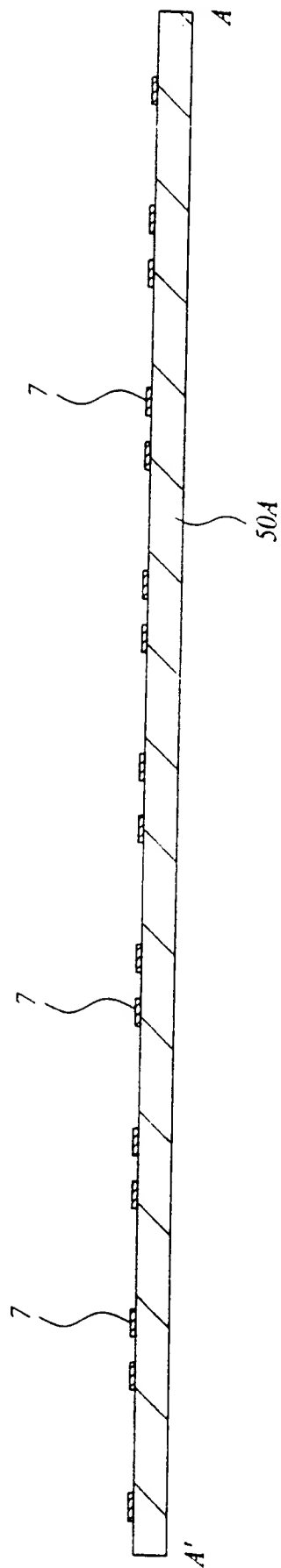


図 8

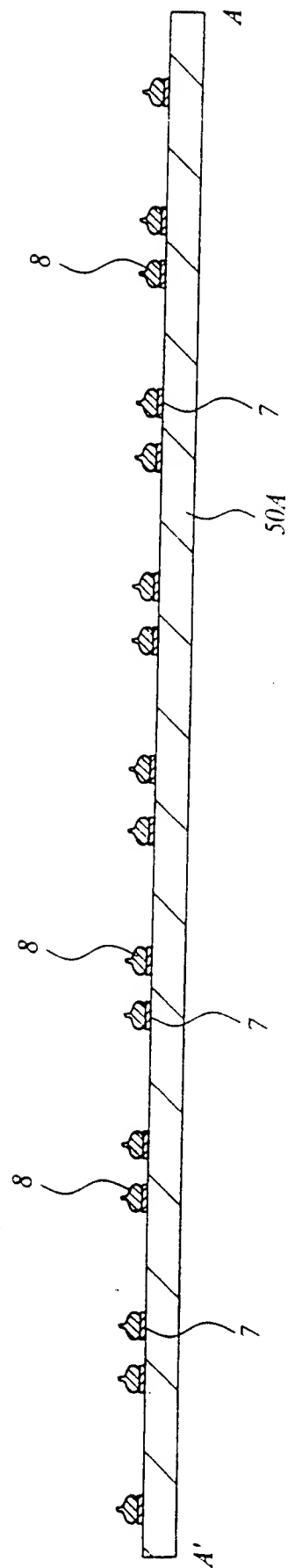


図 9

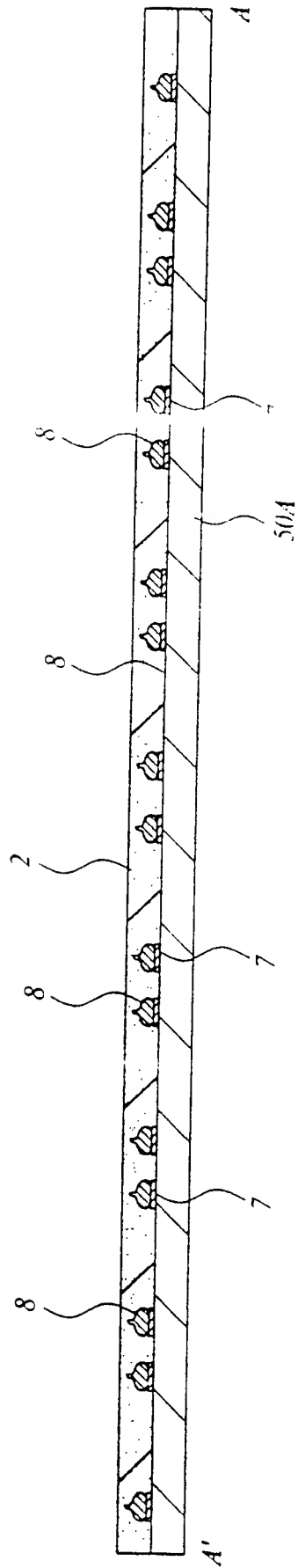


図 10

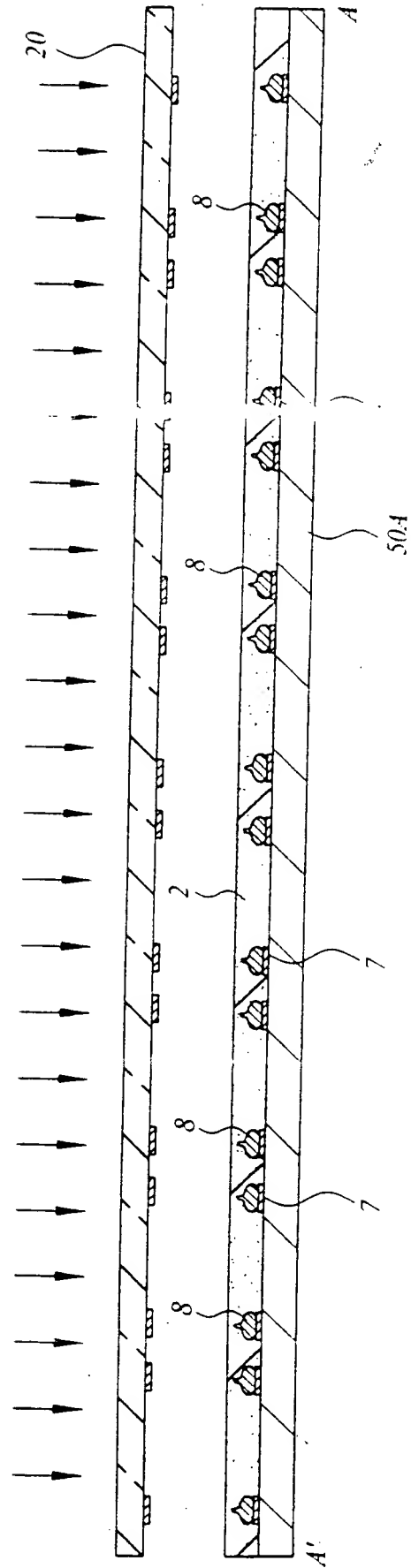




図 11

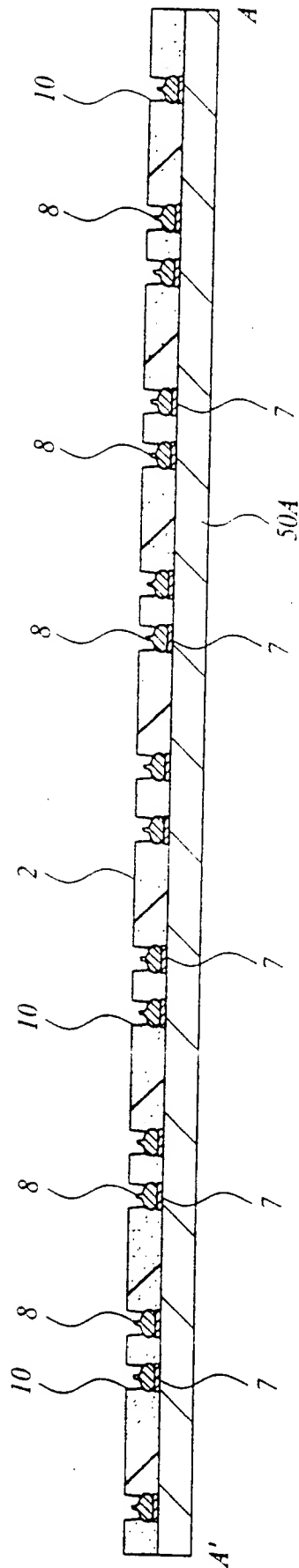


図 12

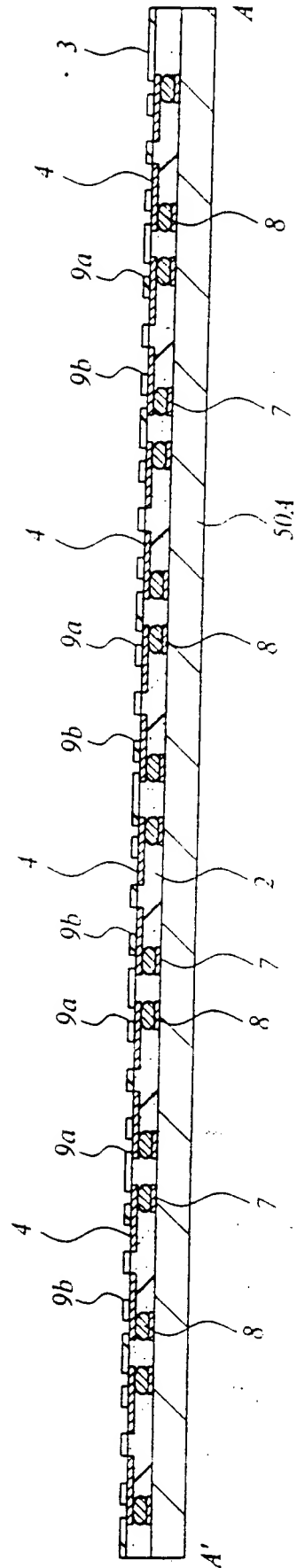


図 13

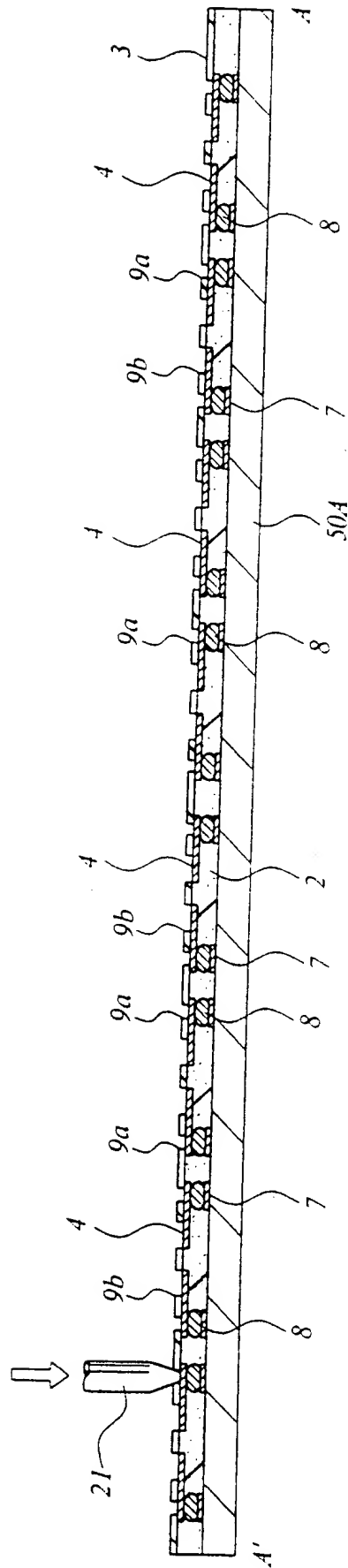
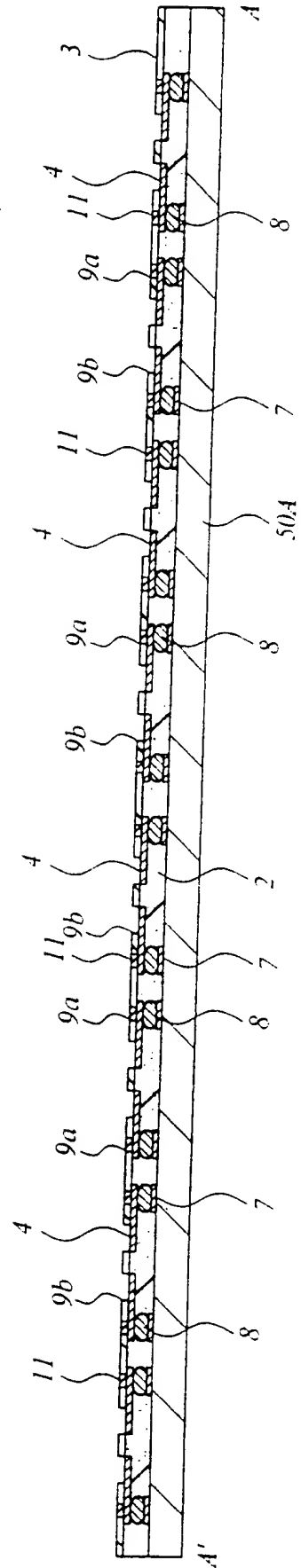
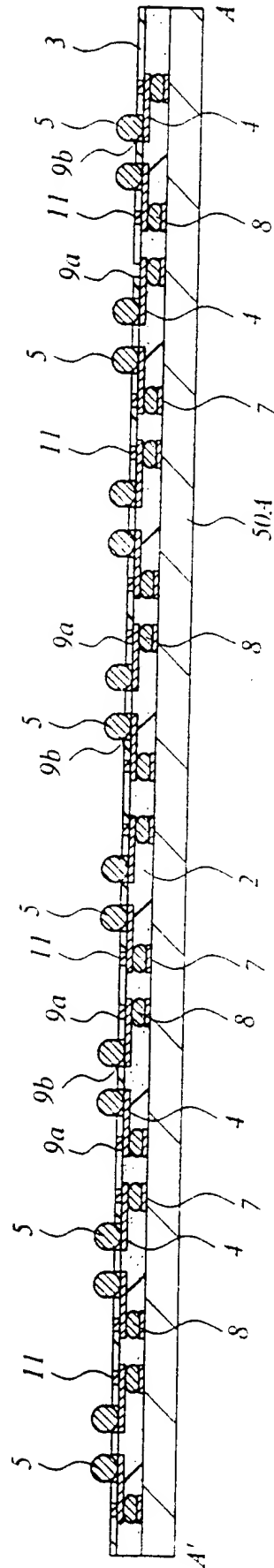


図 14



15



16

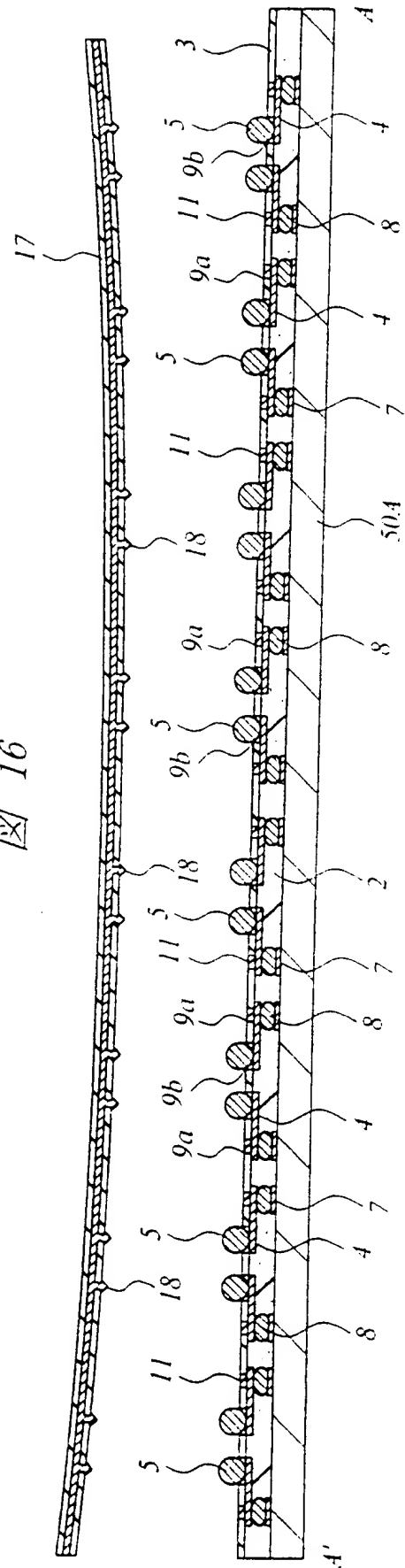


FIG 17

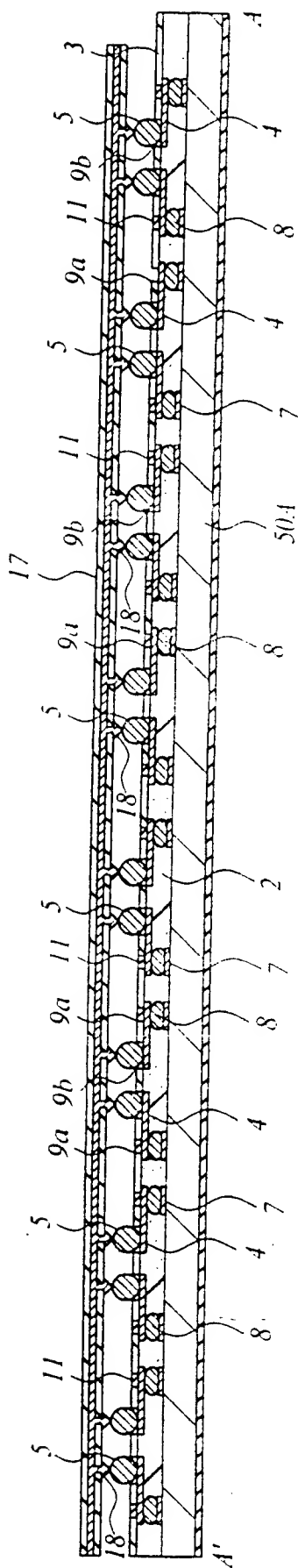


FIG 18

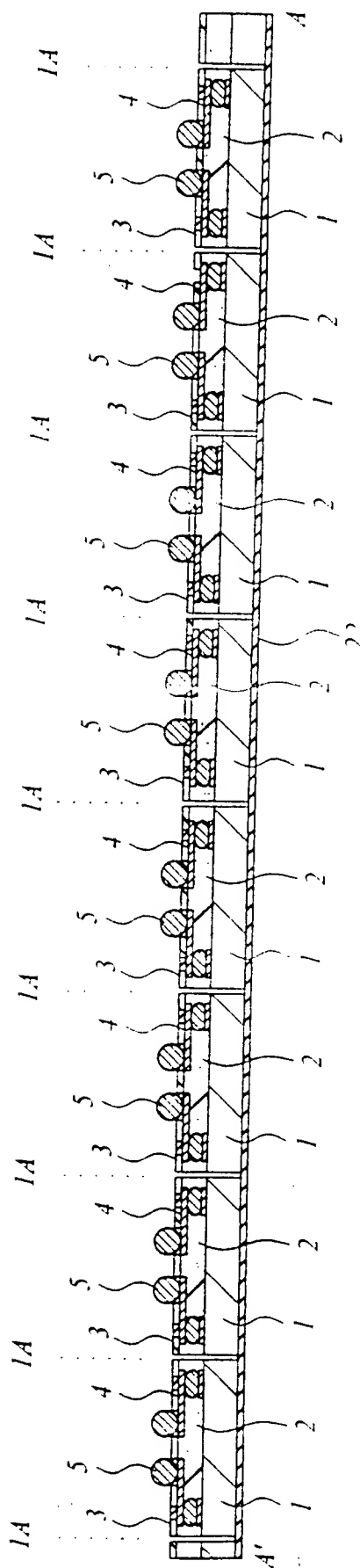


図 19

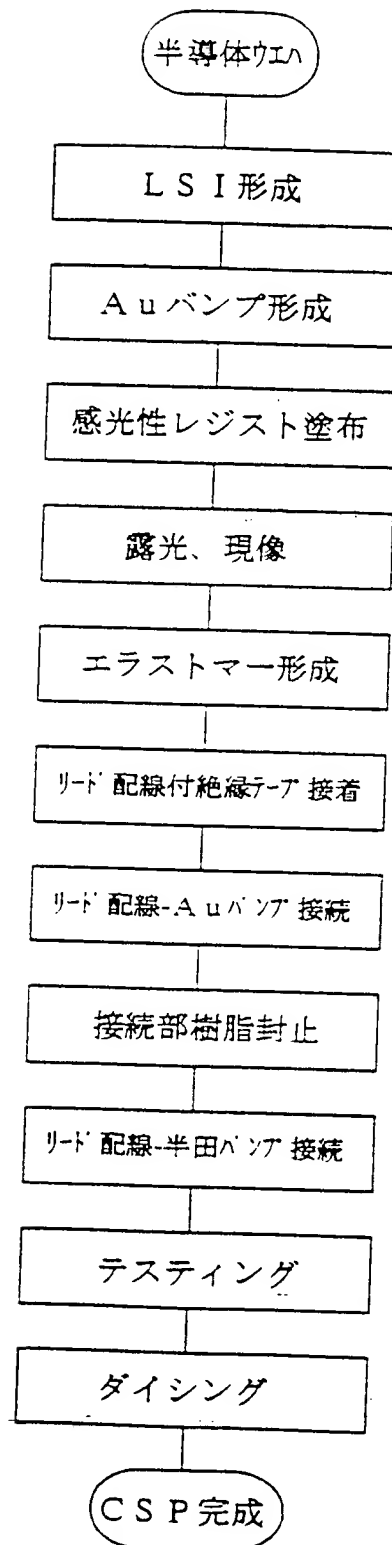


図 20

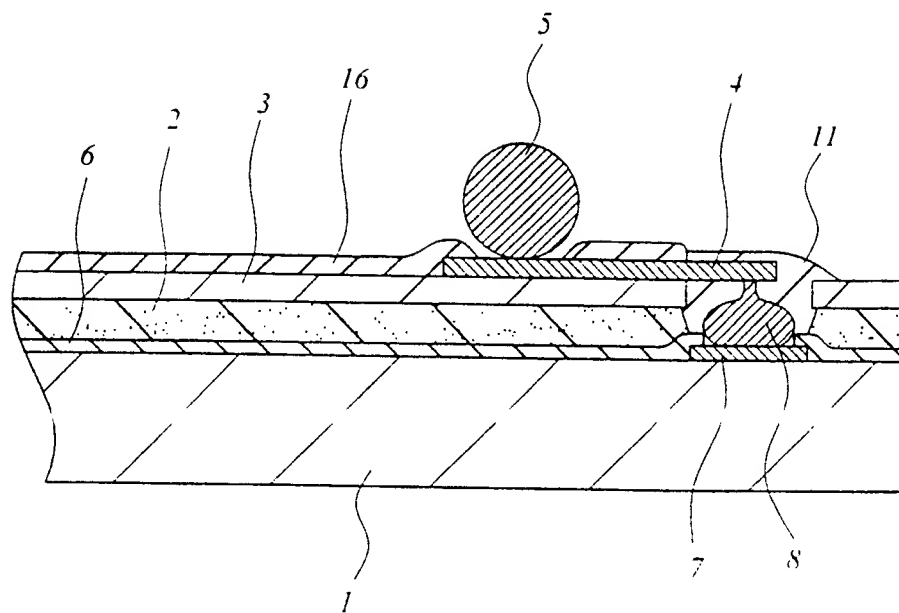


図 21

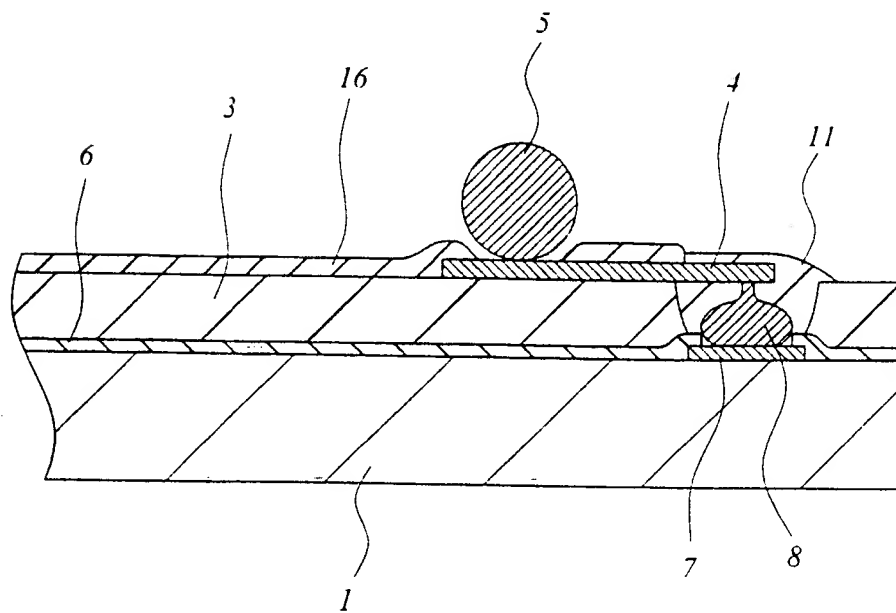


図 22

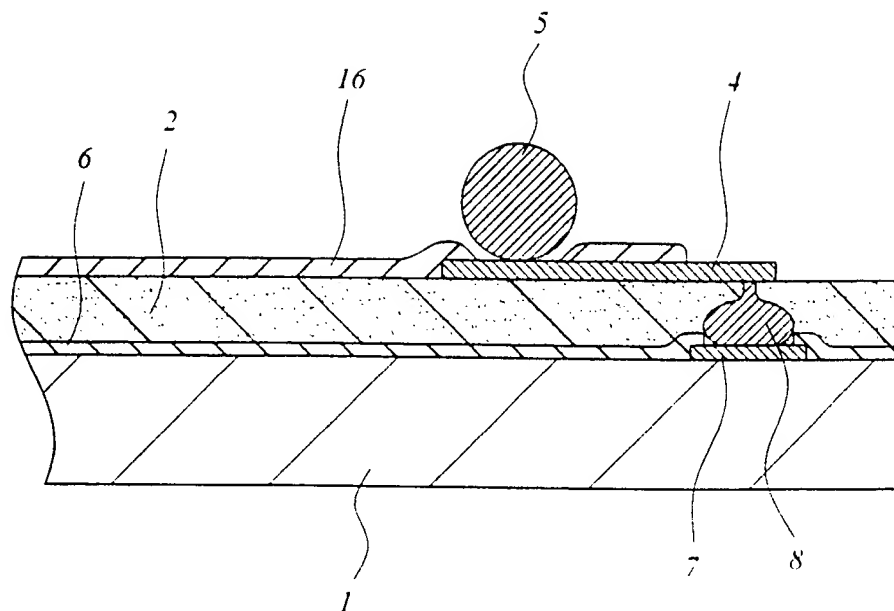


図 23

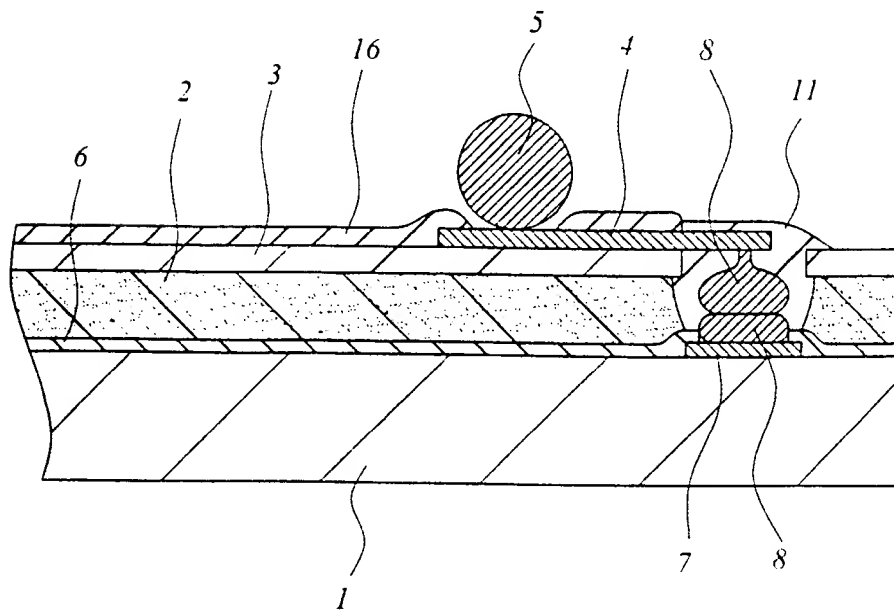
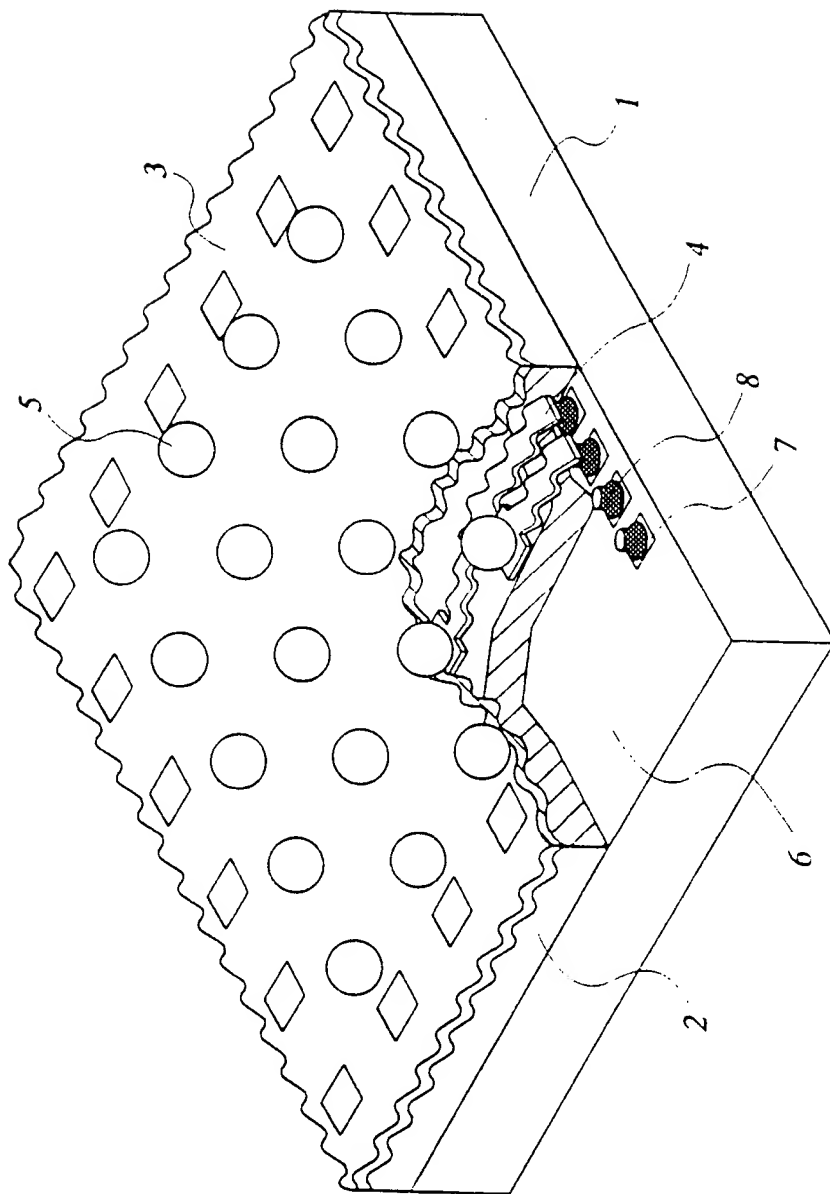
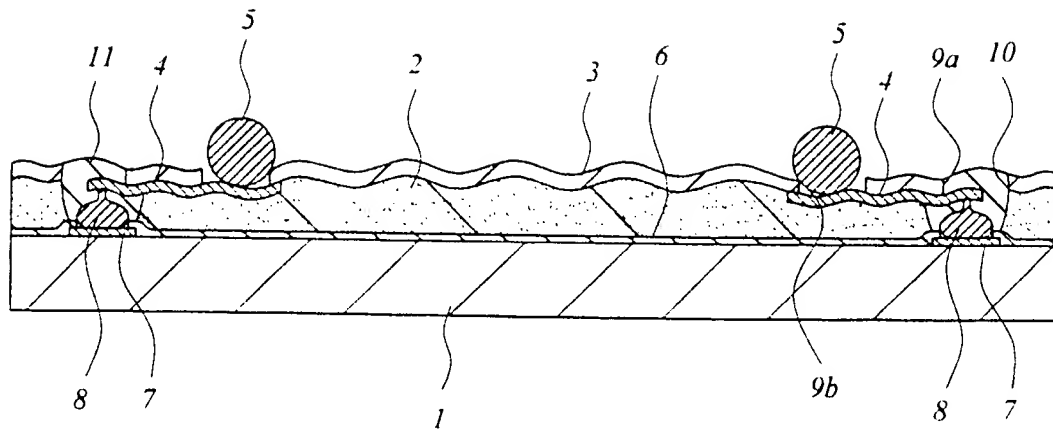


図 24





25



26

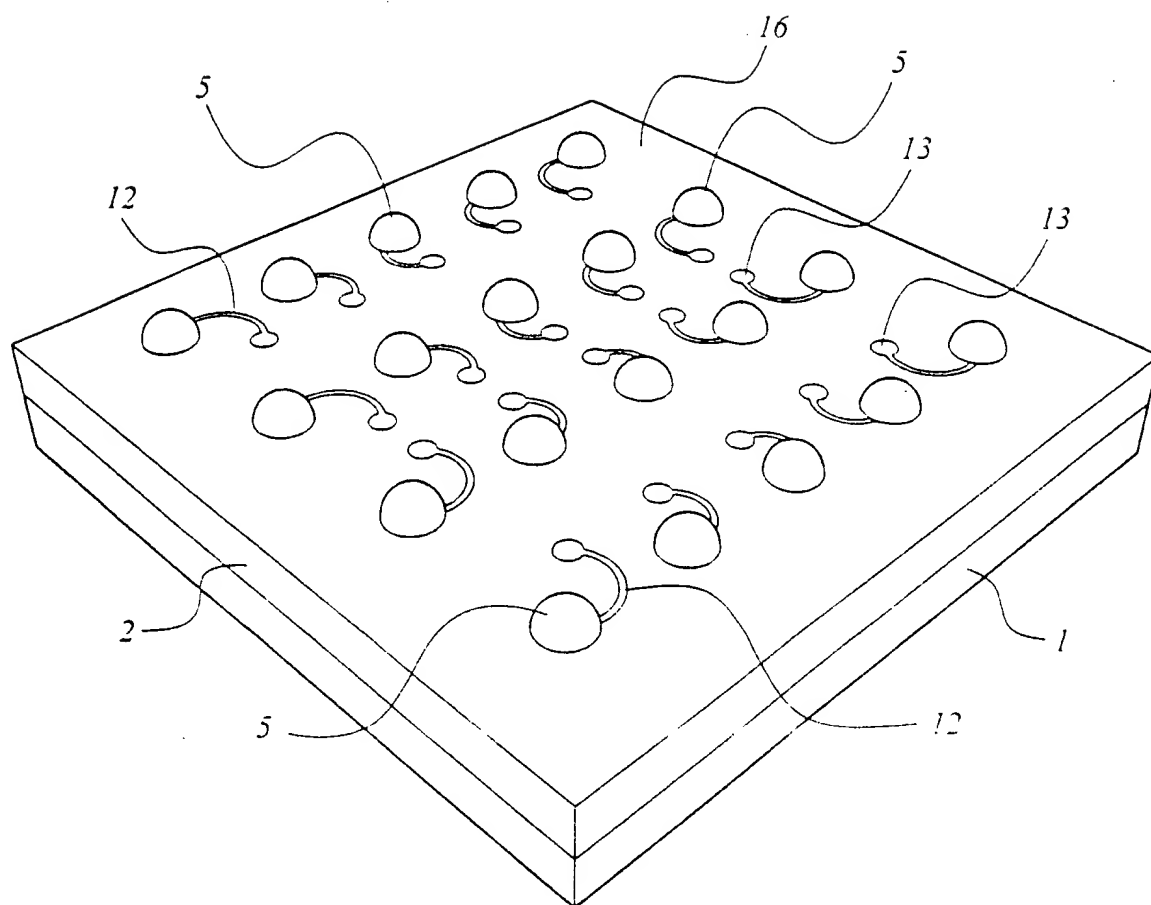
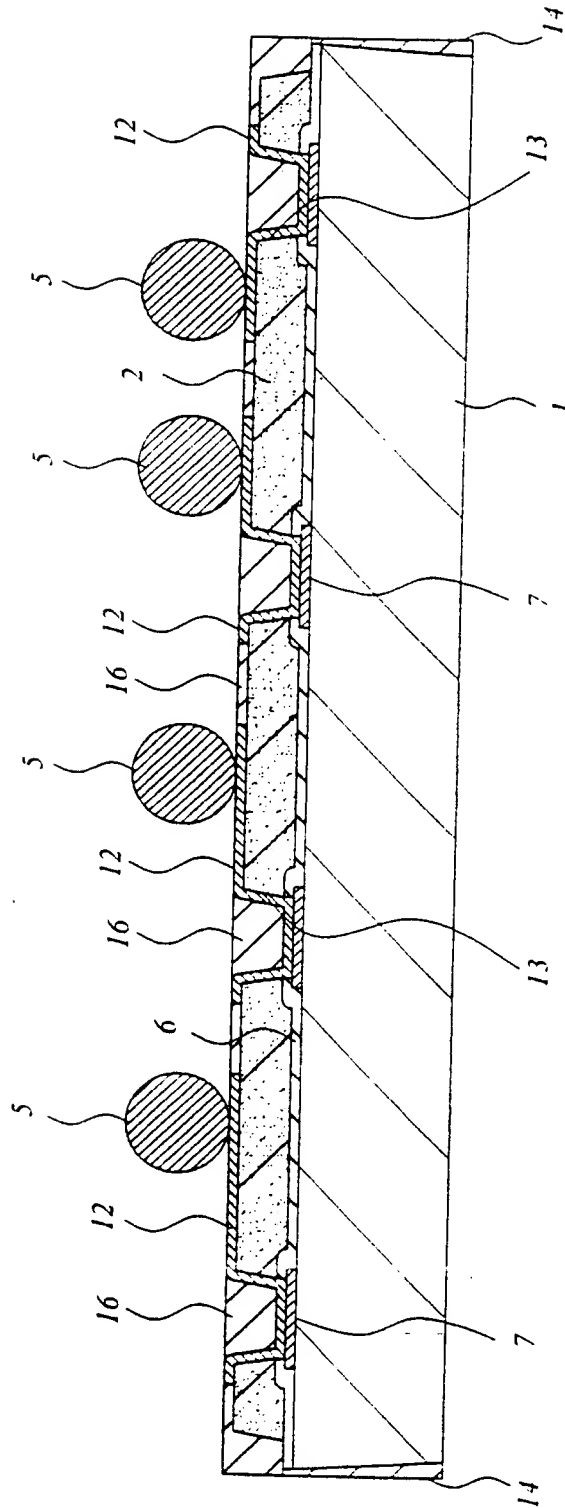
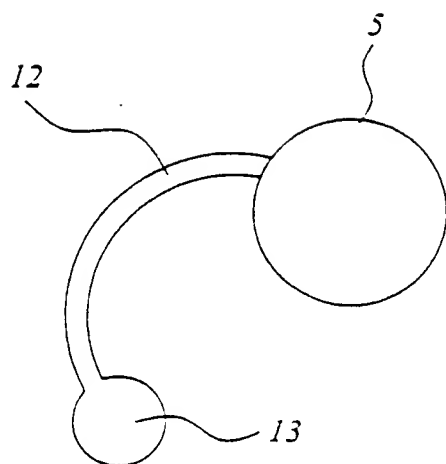


図 27

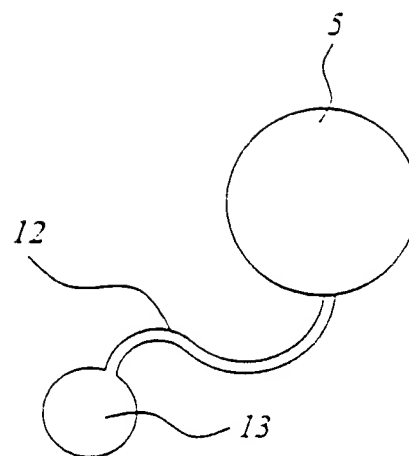


28

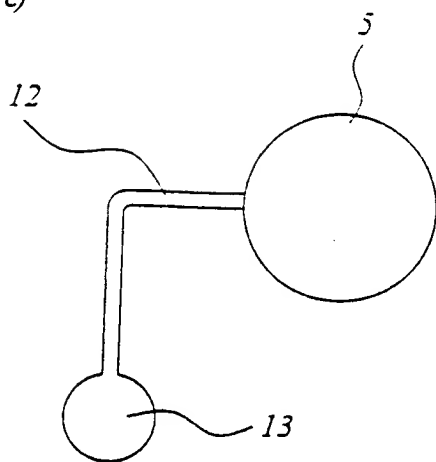
(a)



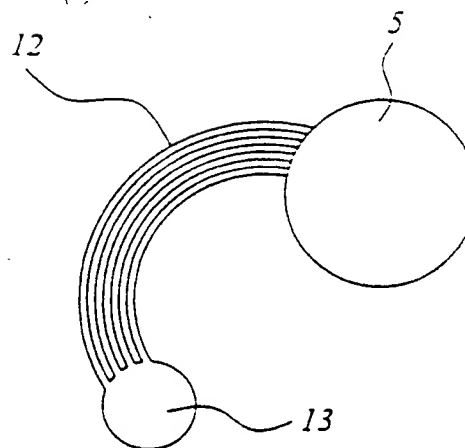
(b)



(c)



(d)



29

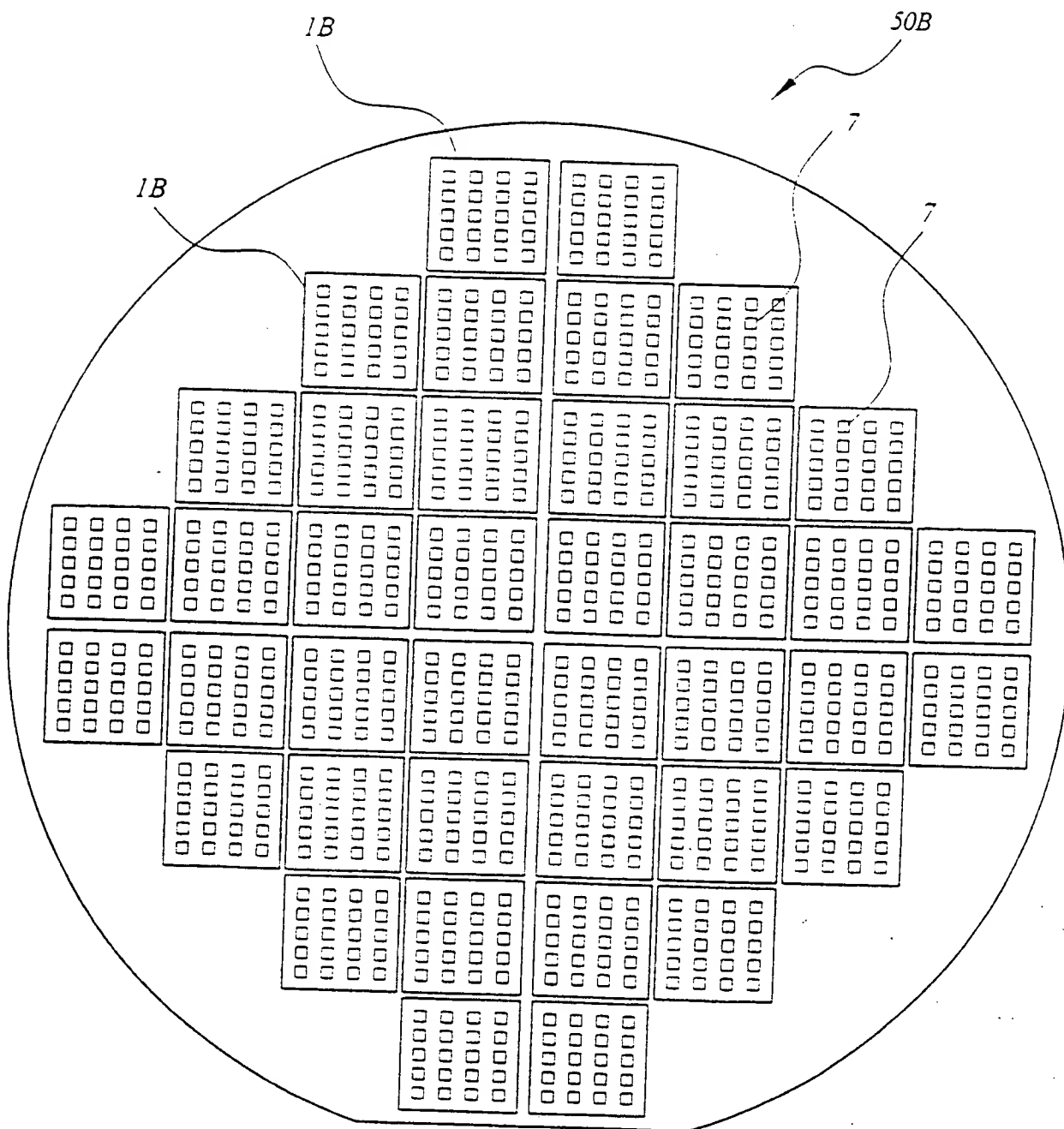


図 30

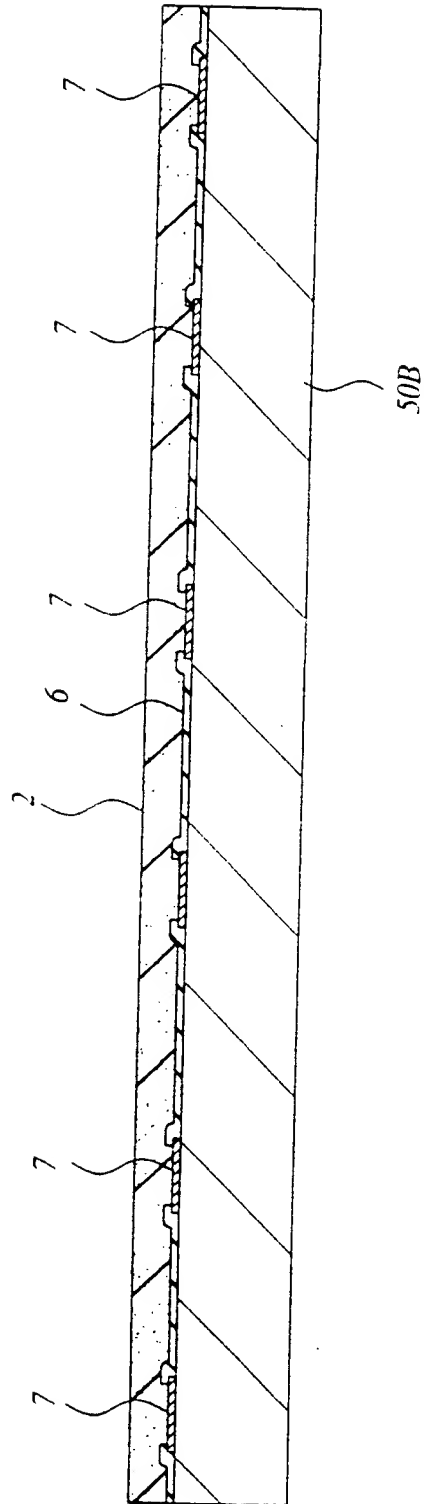
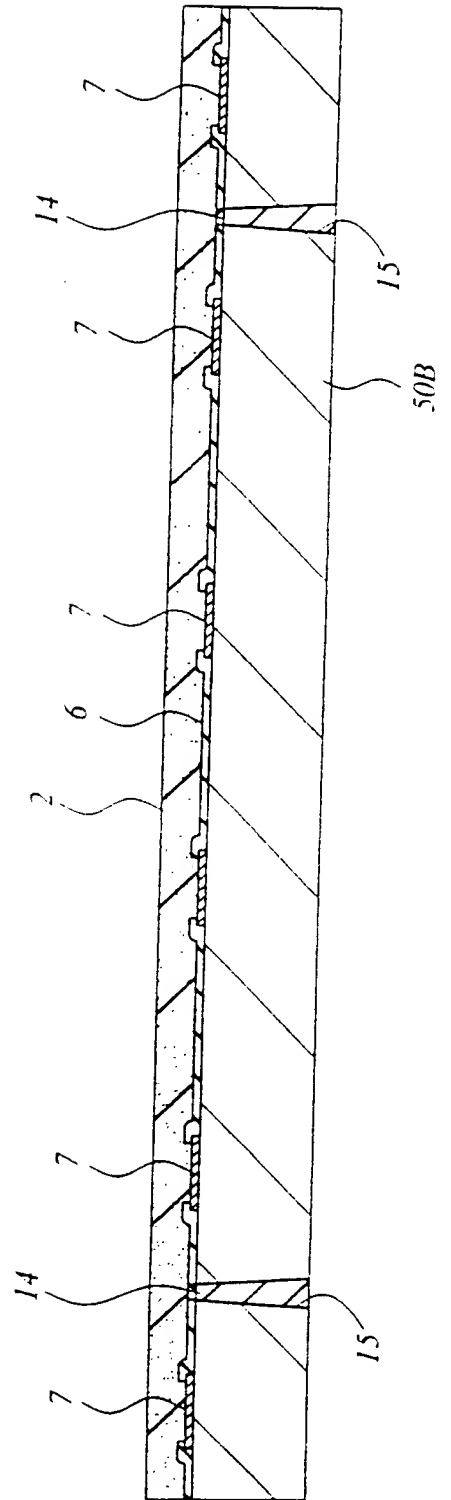
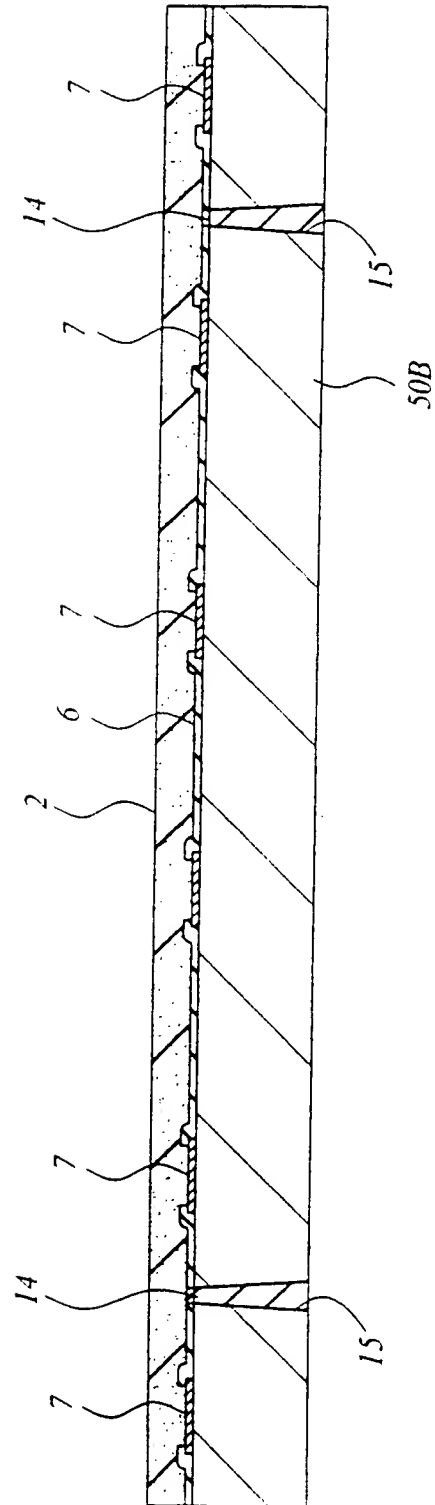
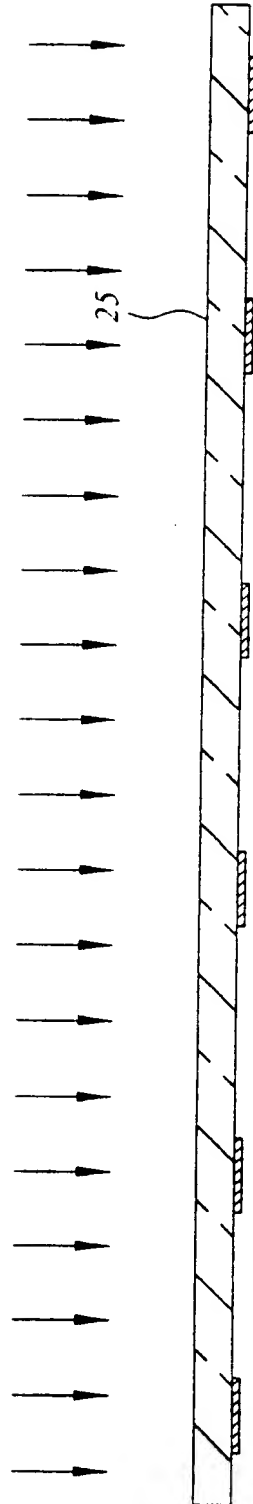


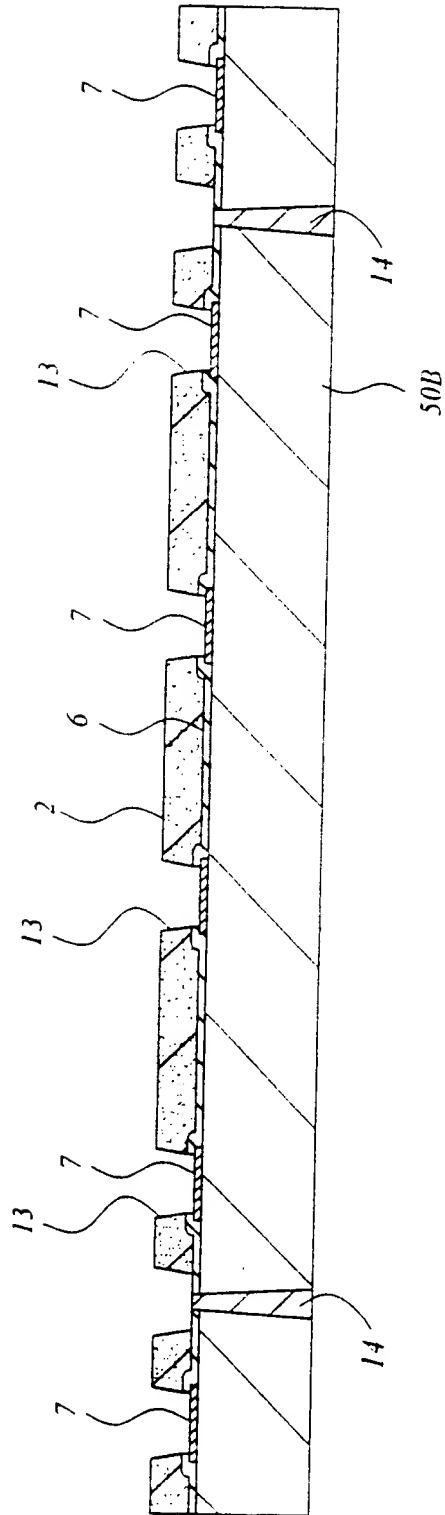
図 31



32



33



34

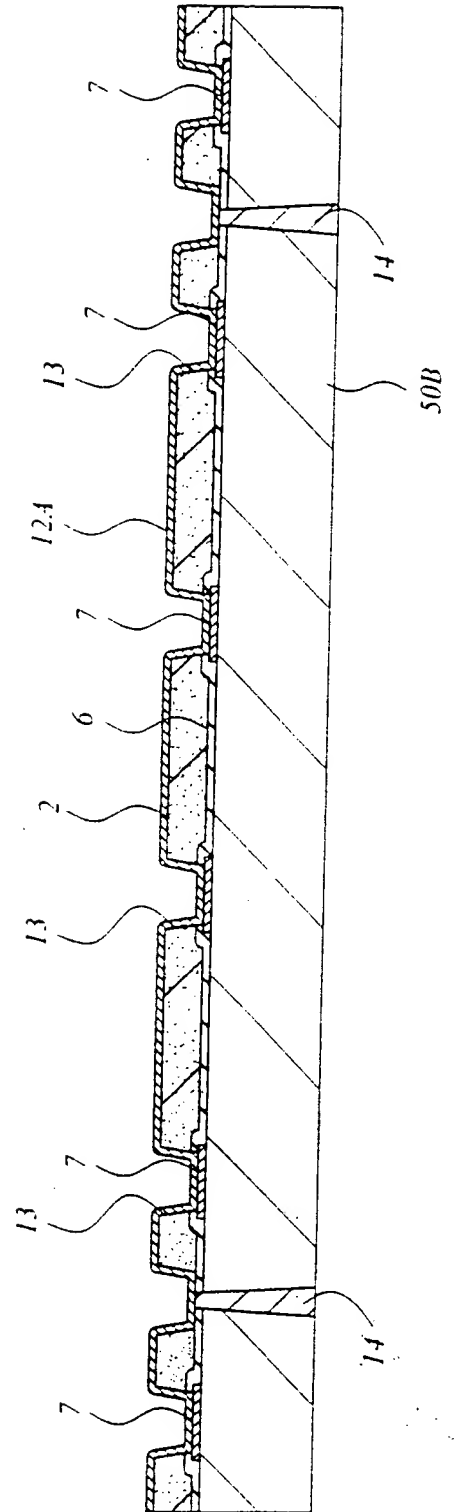




図 35

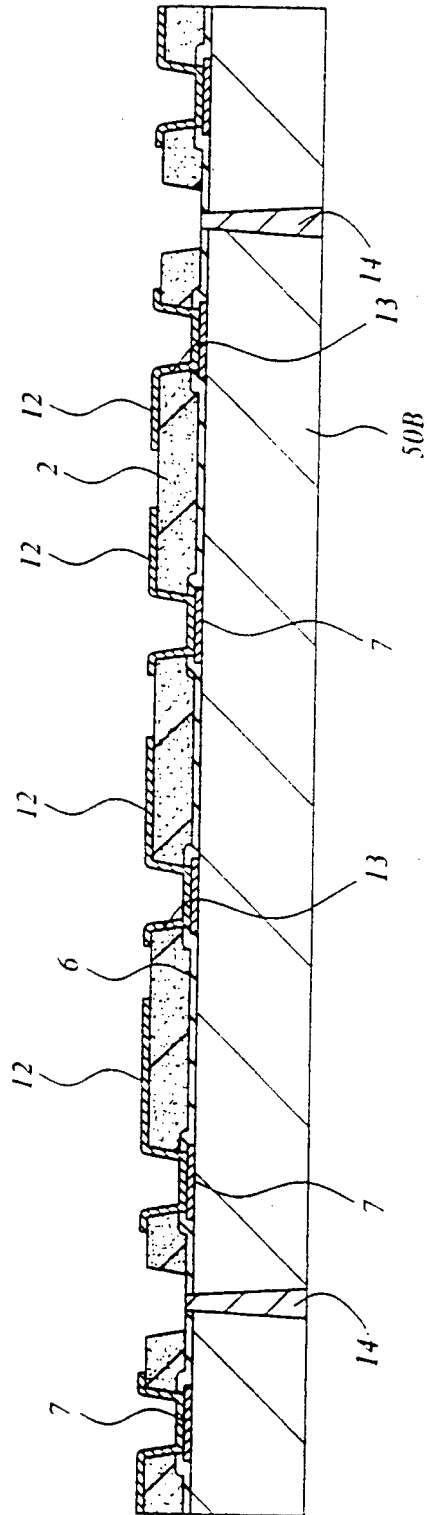
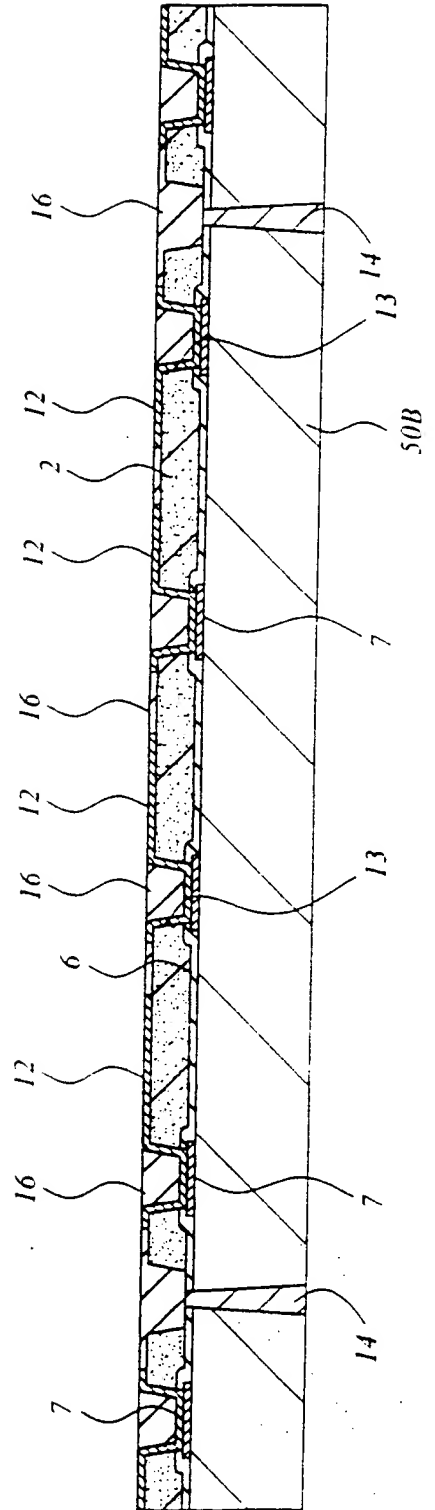
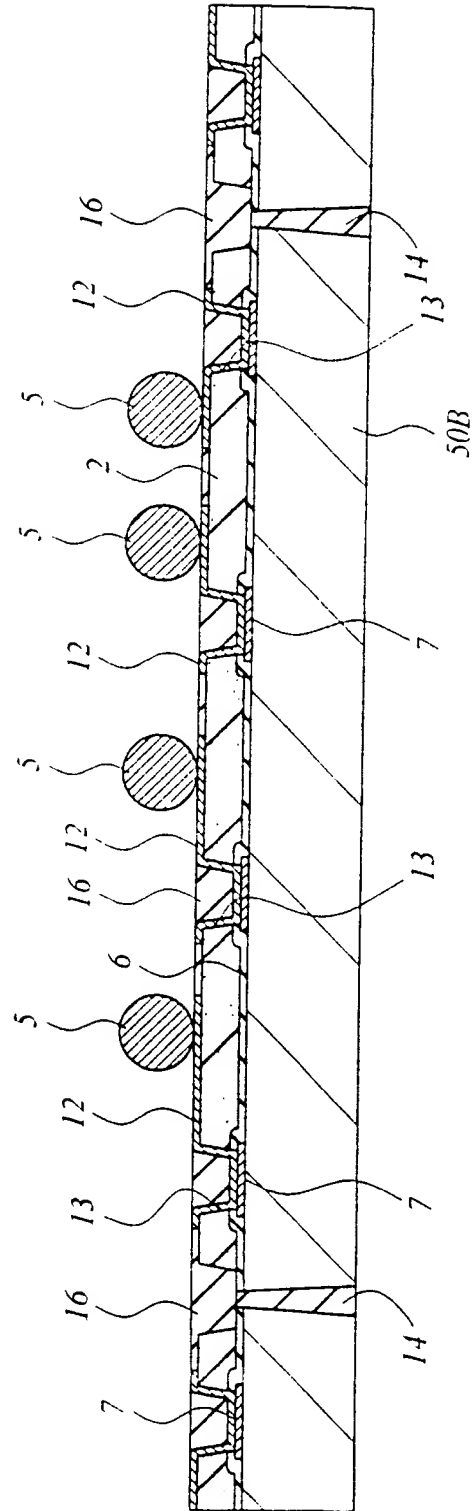


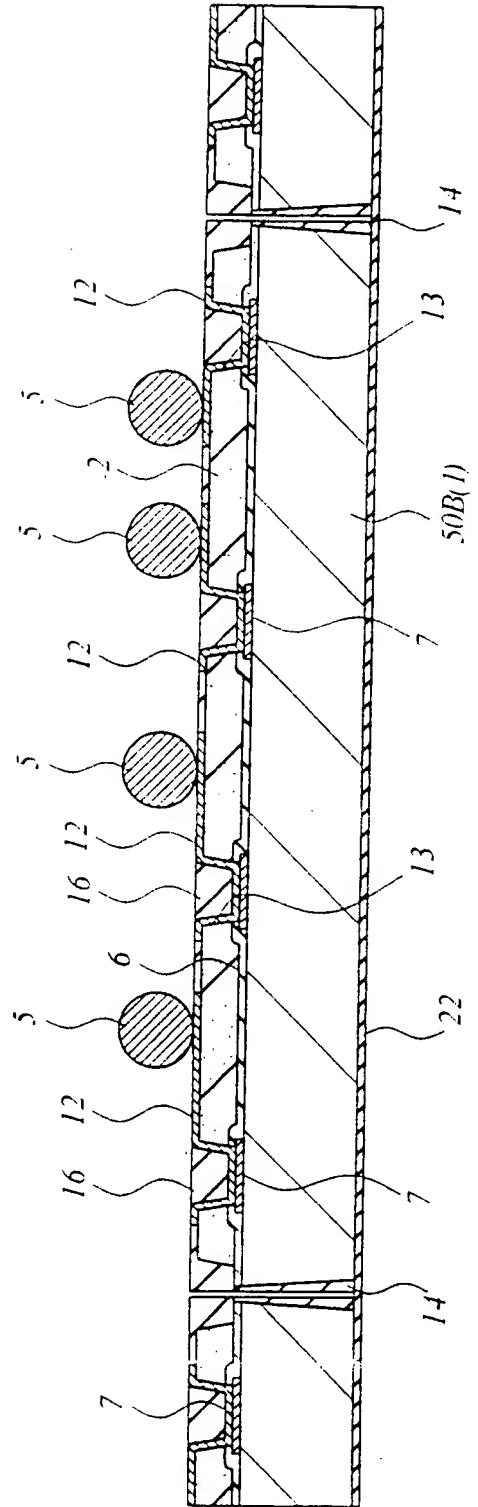
図 36



37



38



39

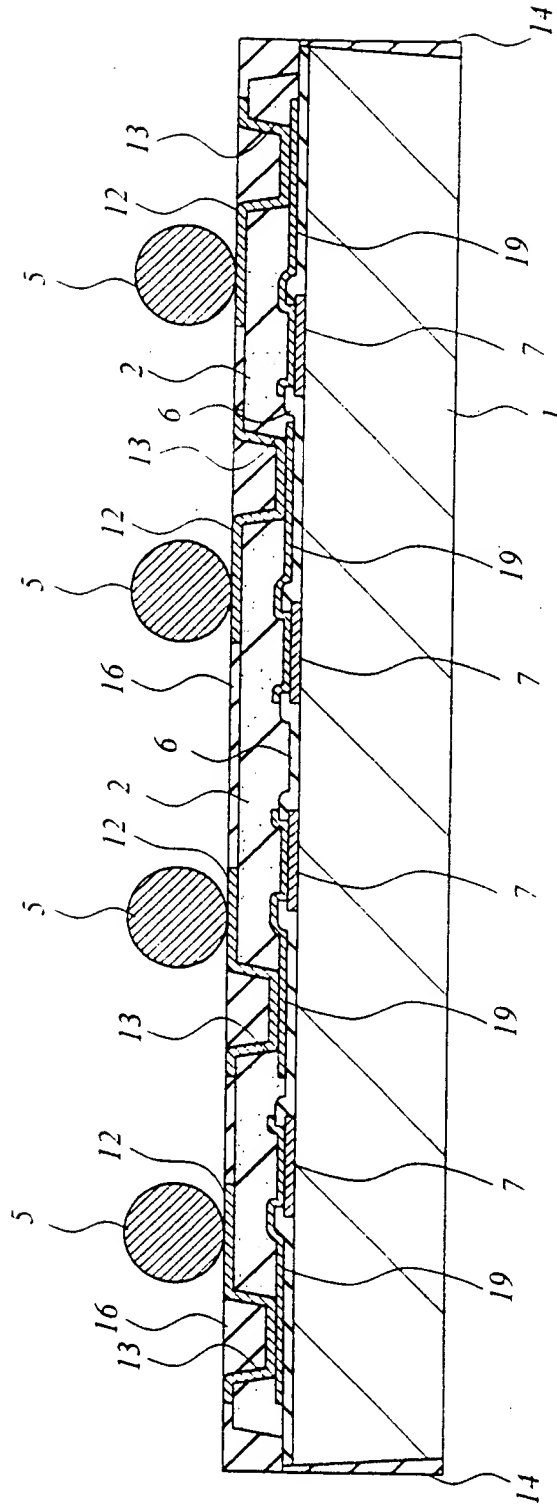
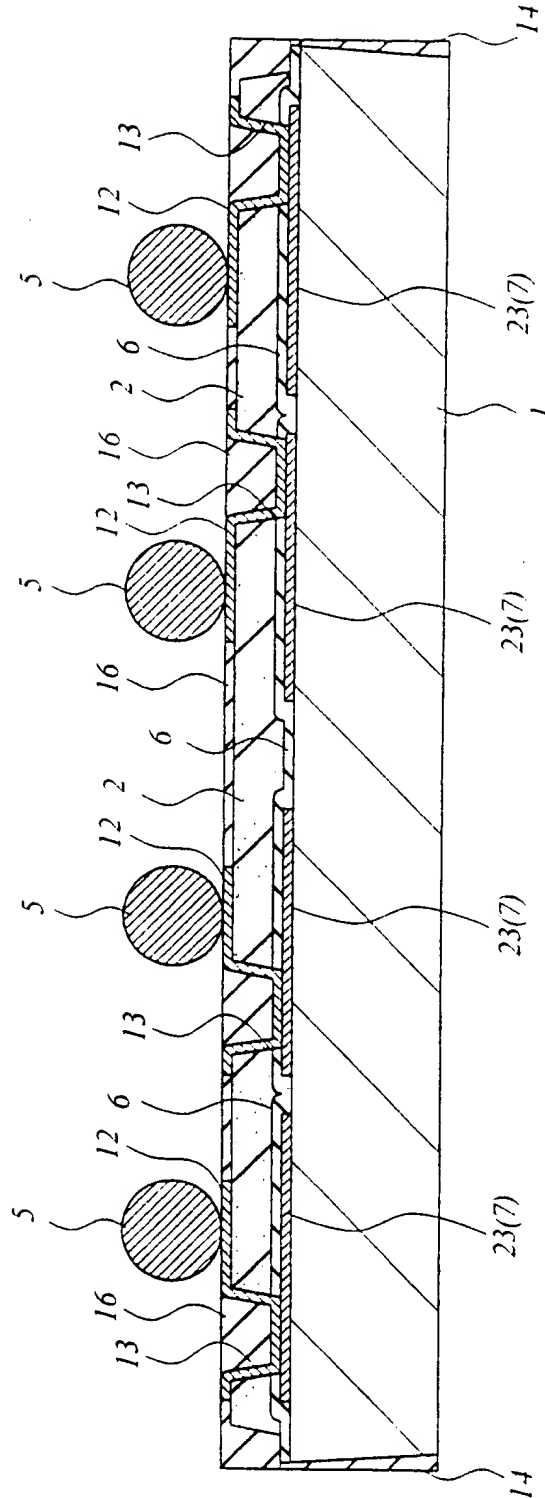


図 40



41

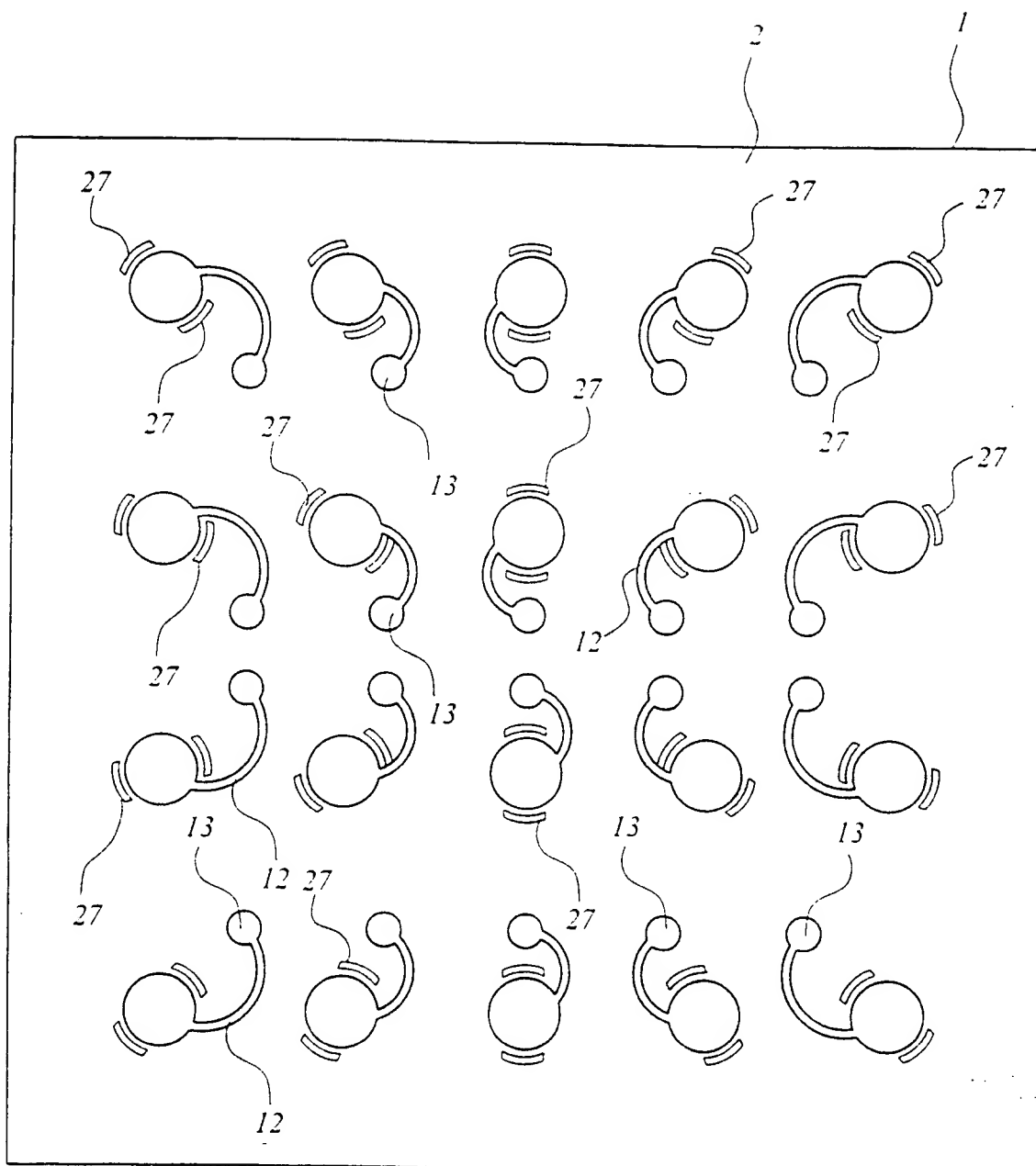


図 42

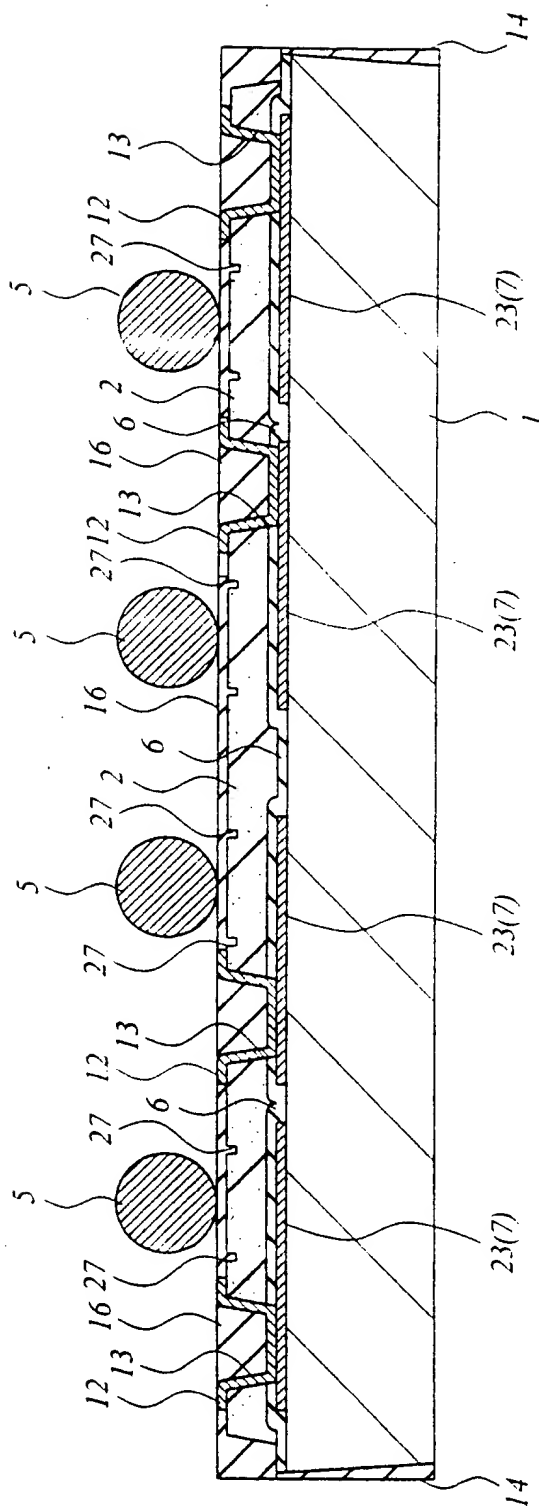


図 43

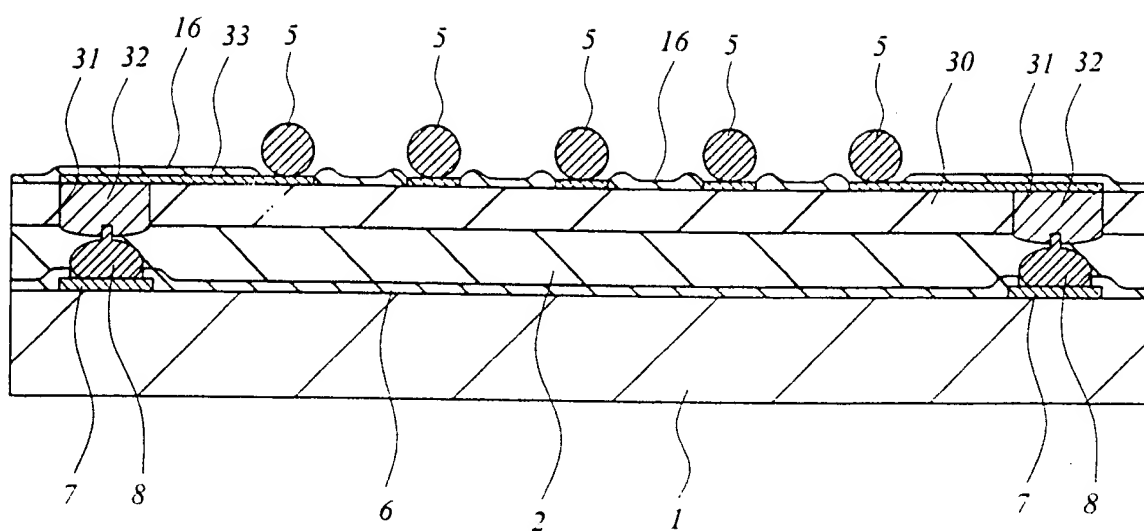


図 44

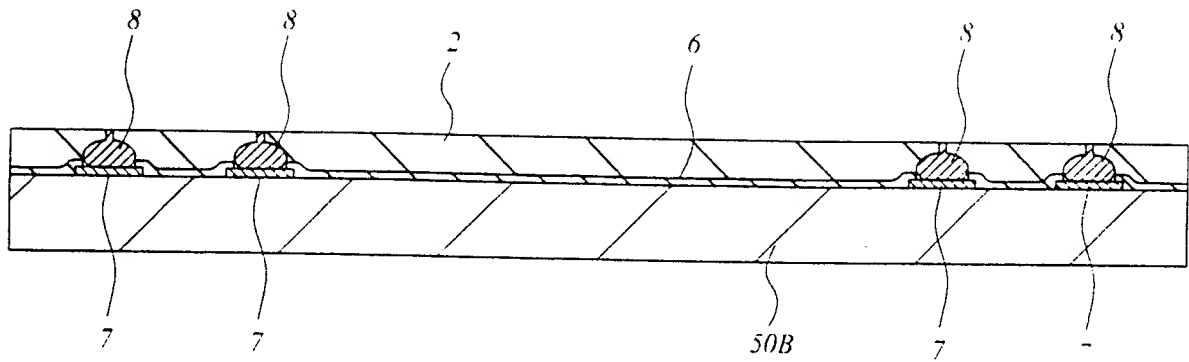


図 45

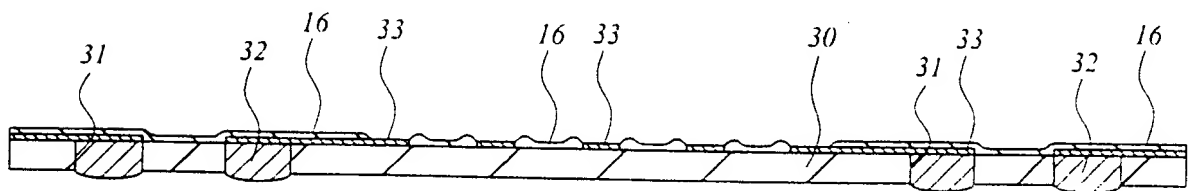


図 46

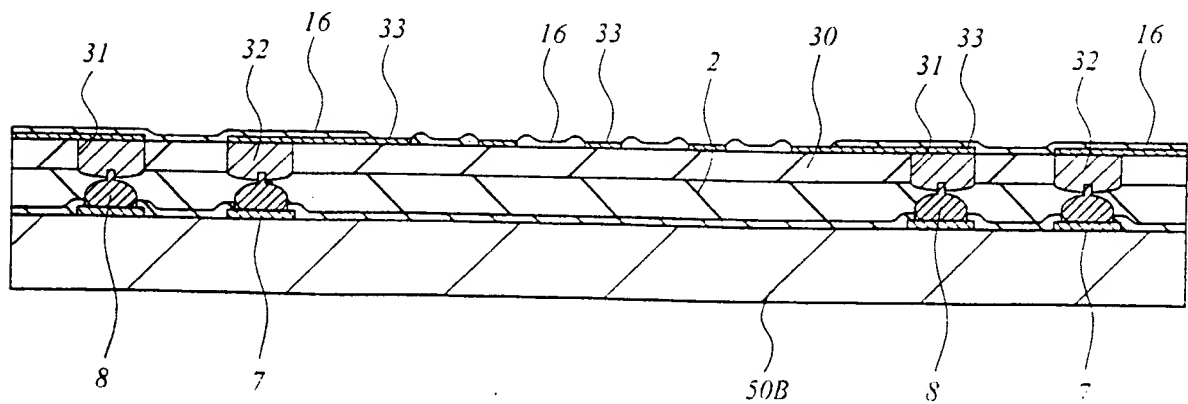




図 47

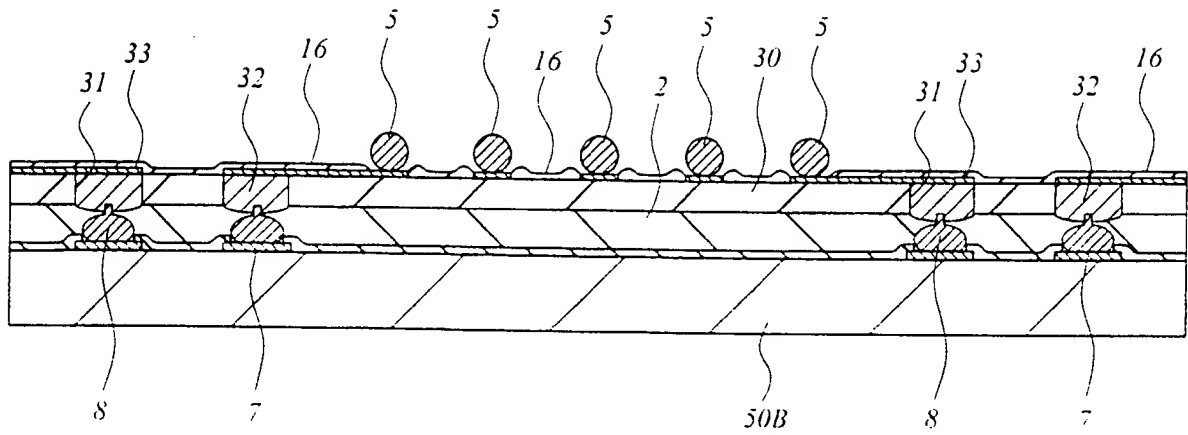
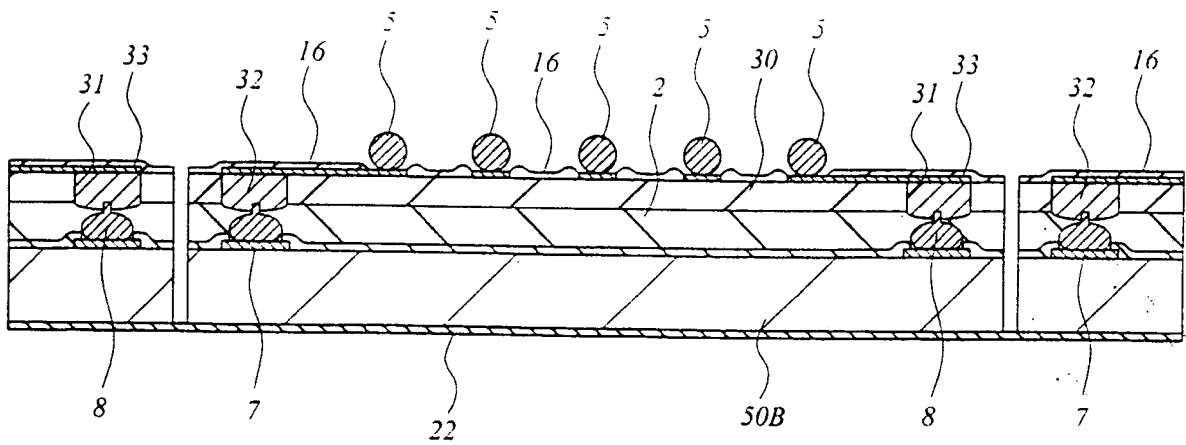
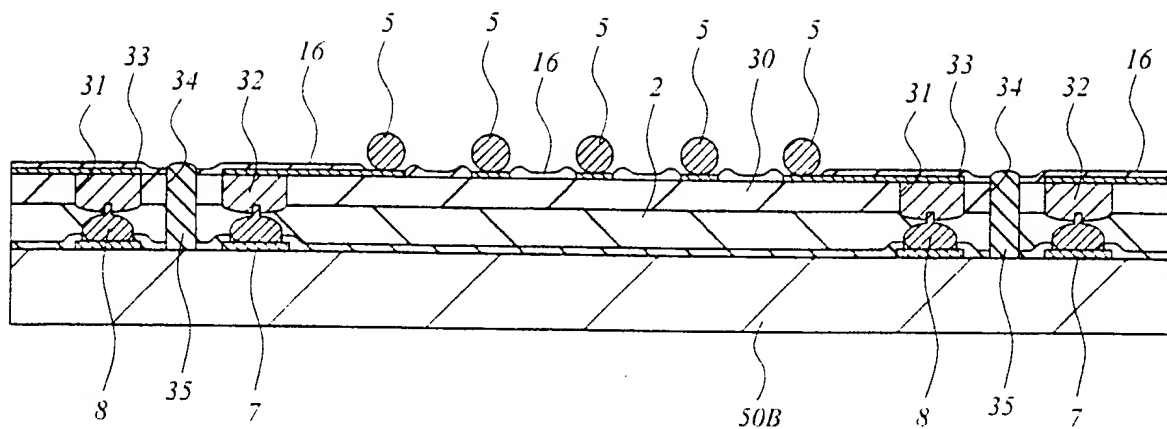


図 48

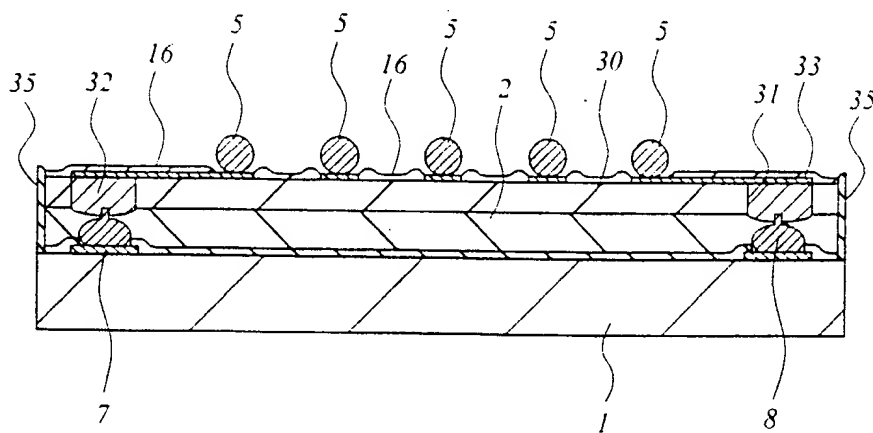



49

(a)

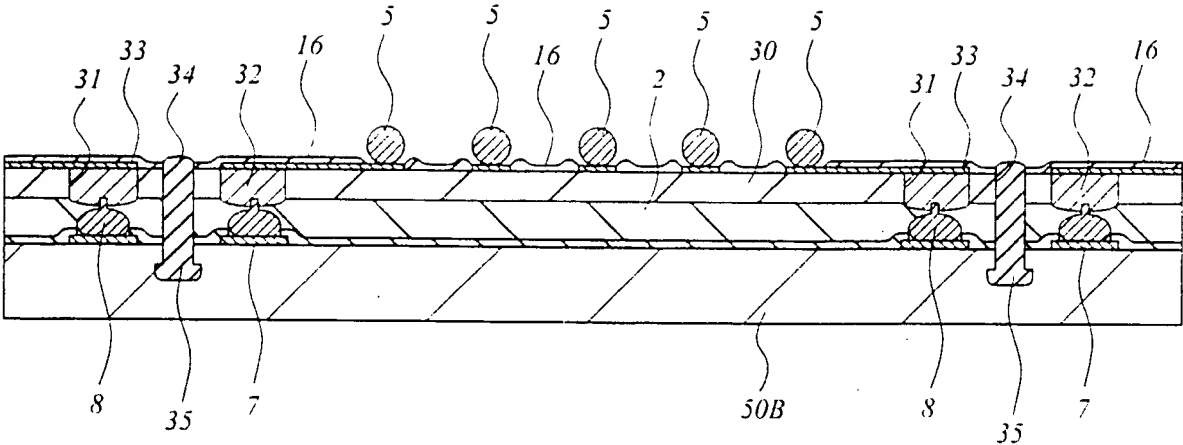


(b)



 50

(a)



(b)

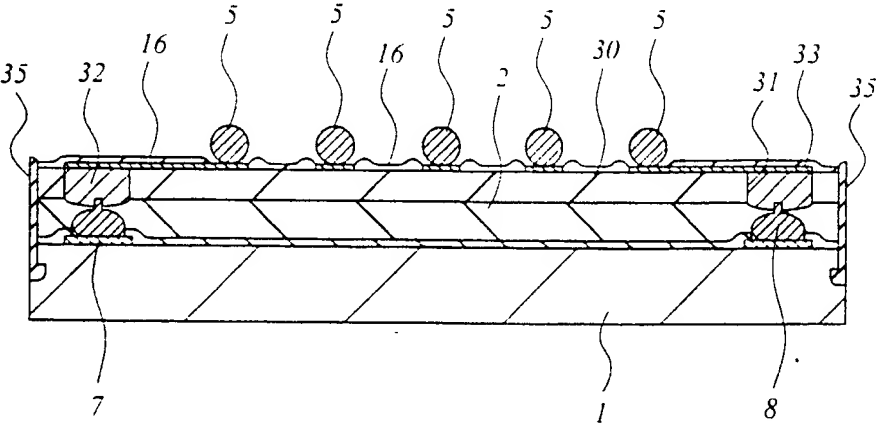
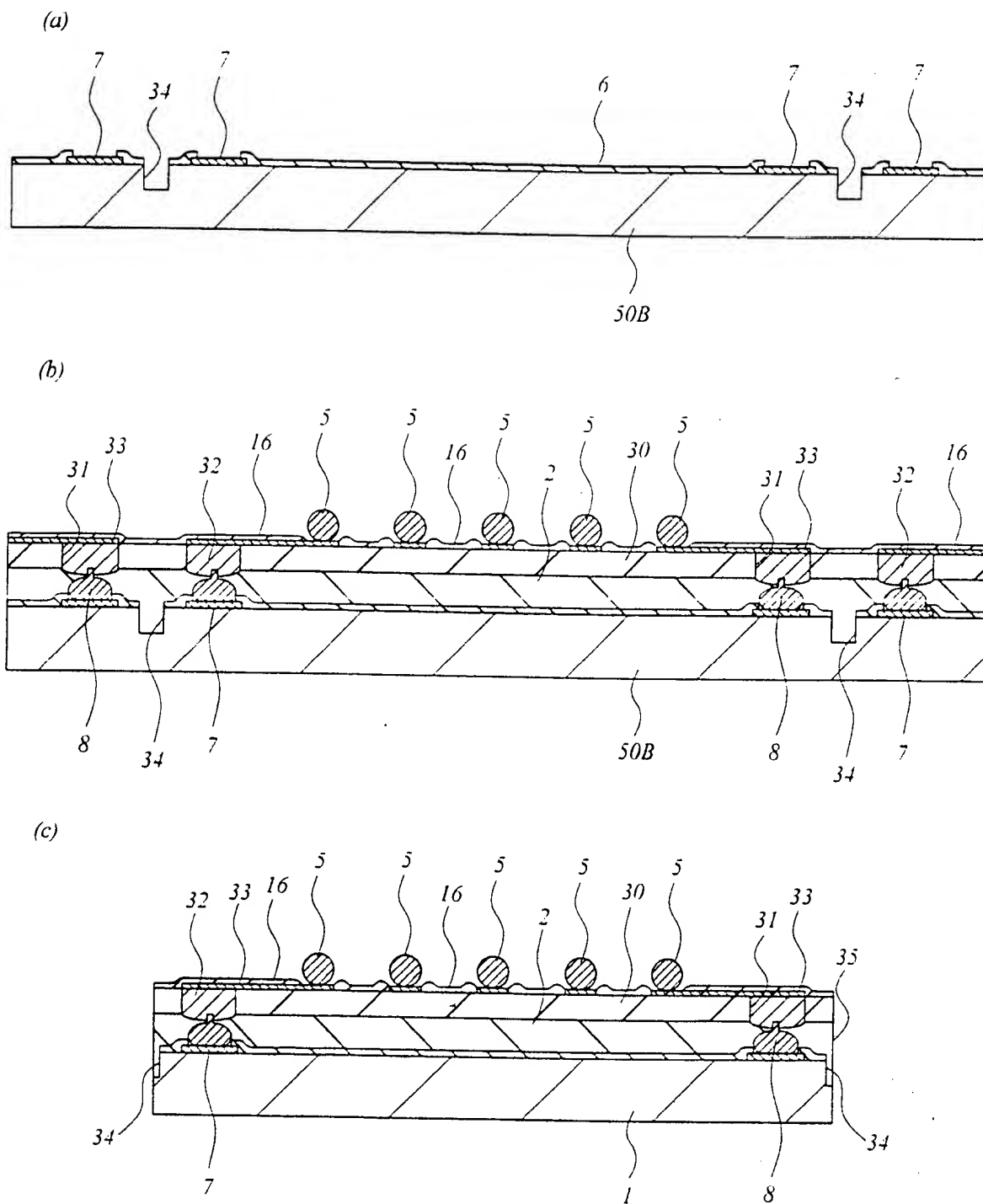


図 51



52

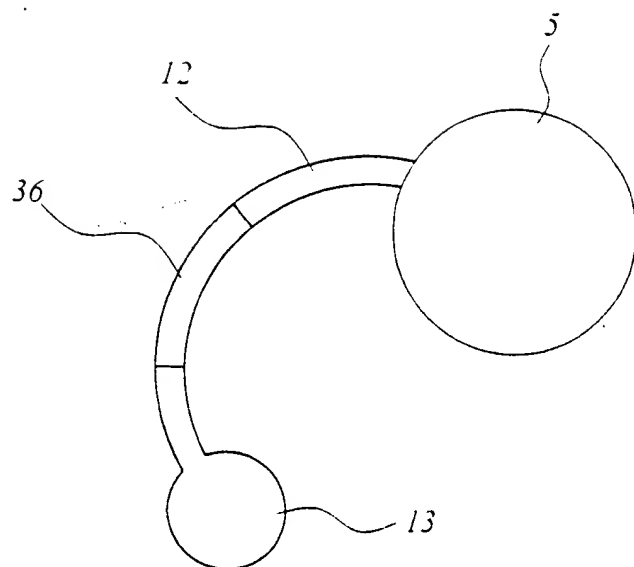


図 53

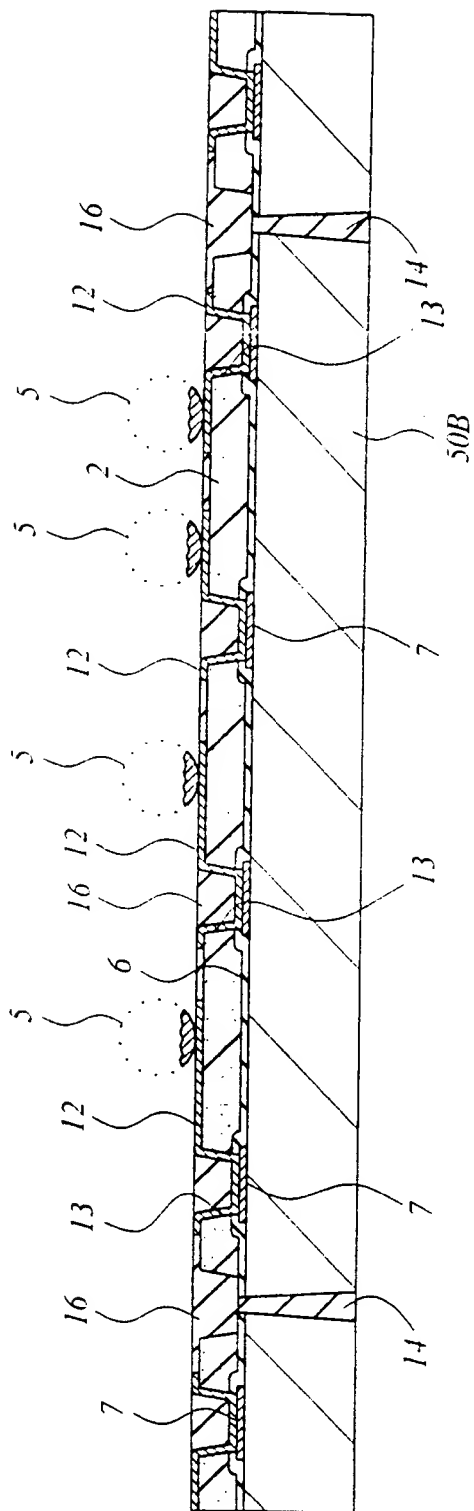
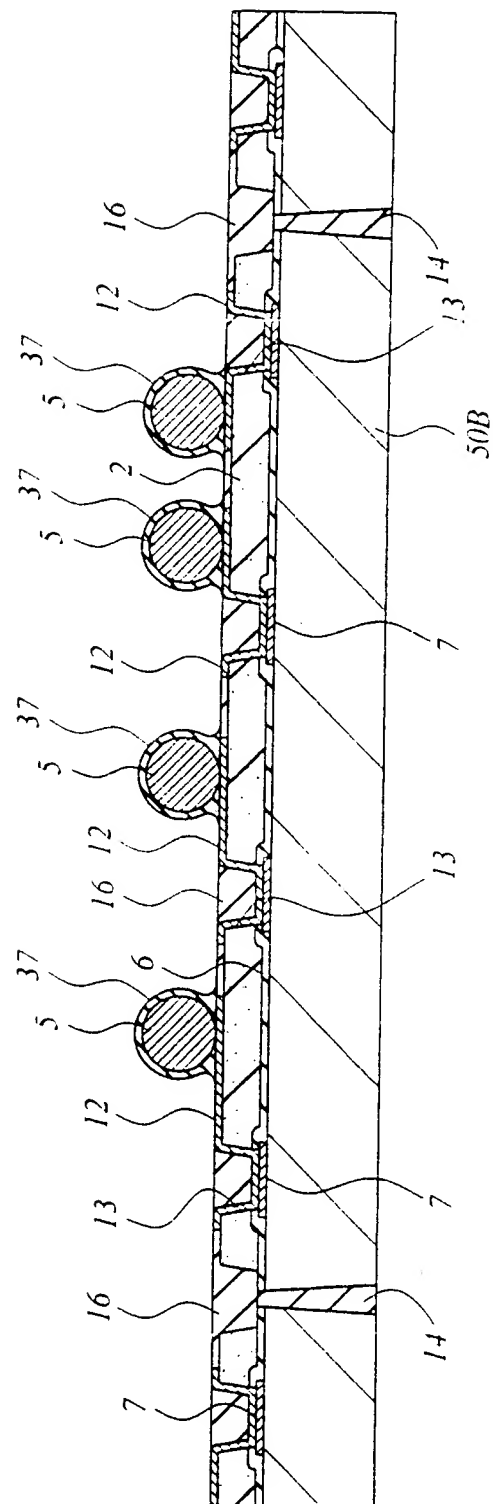


図 54



55

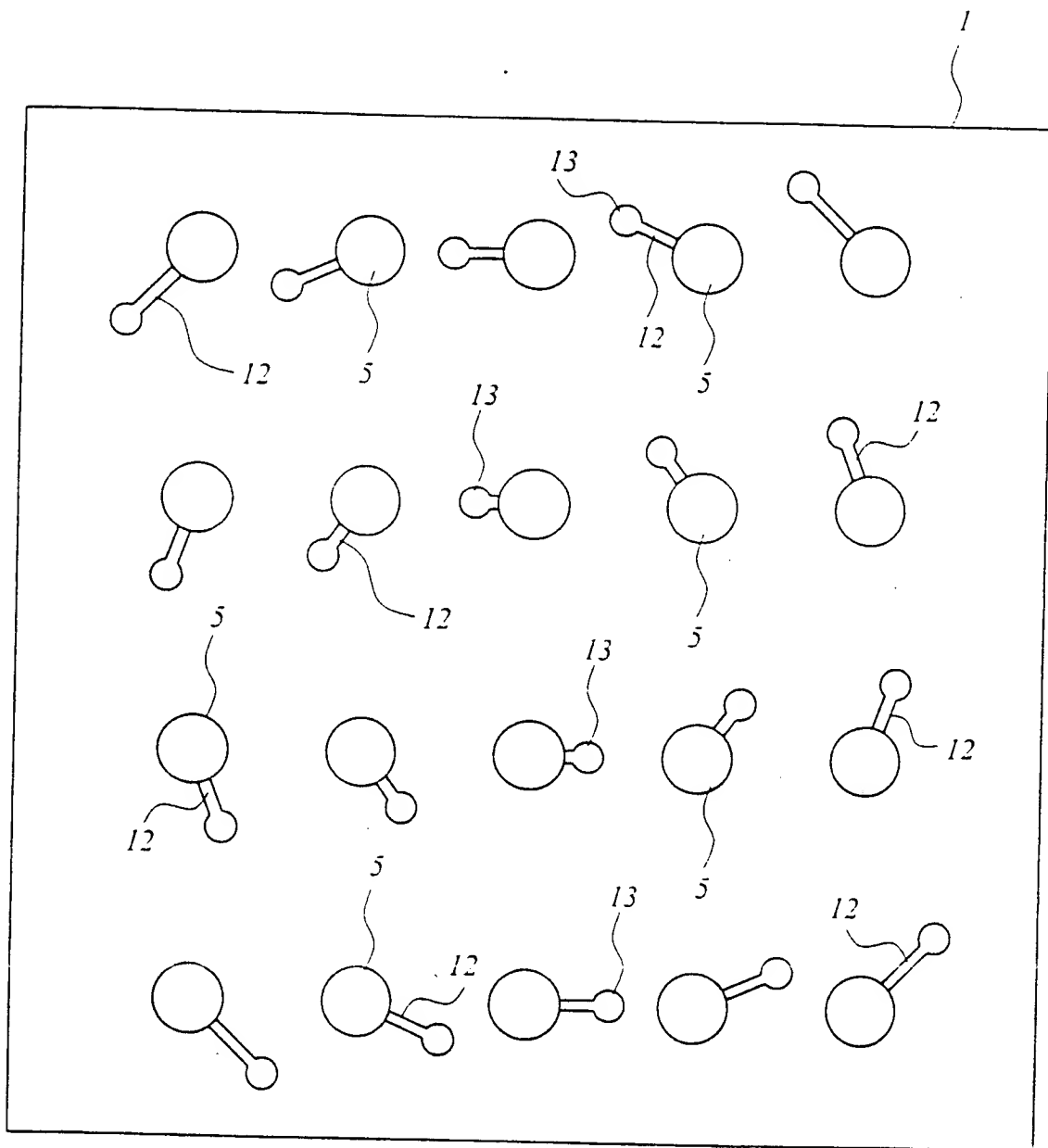


図 56

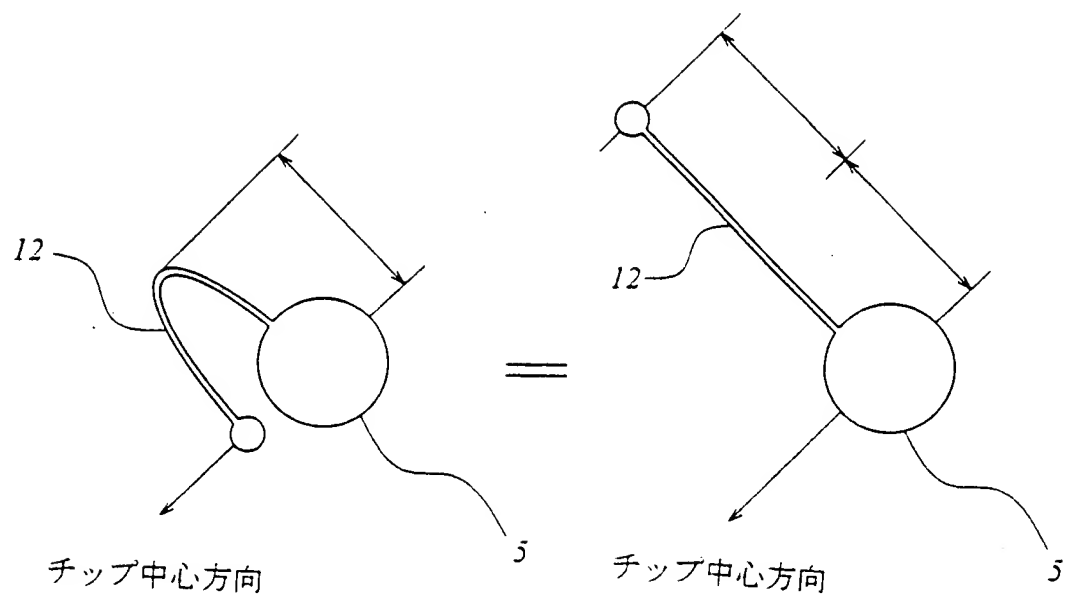
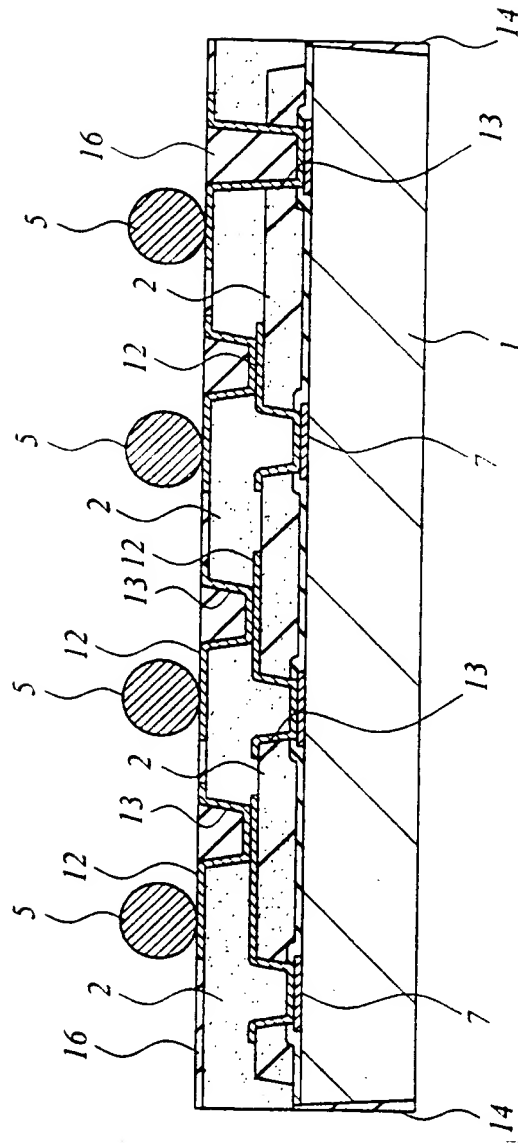
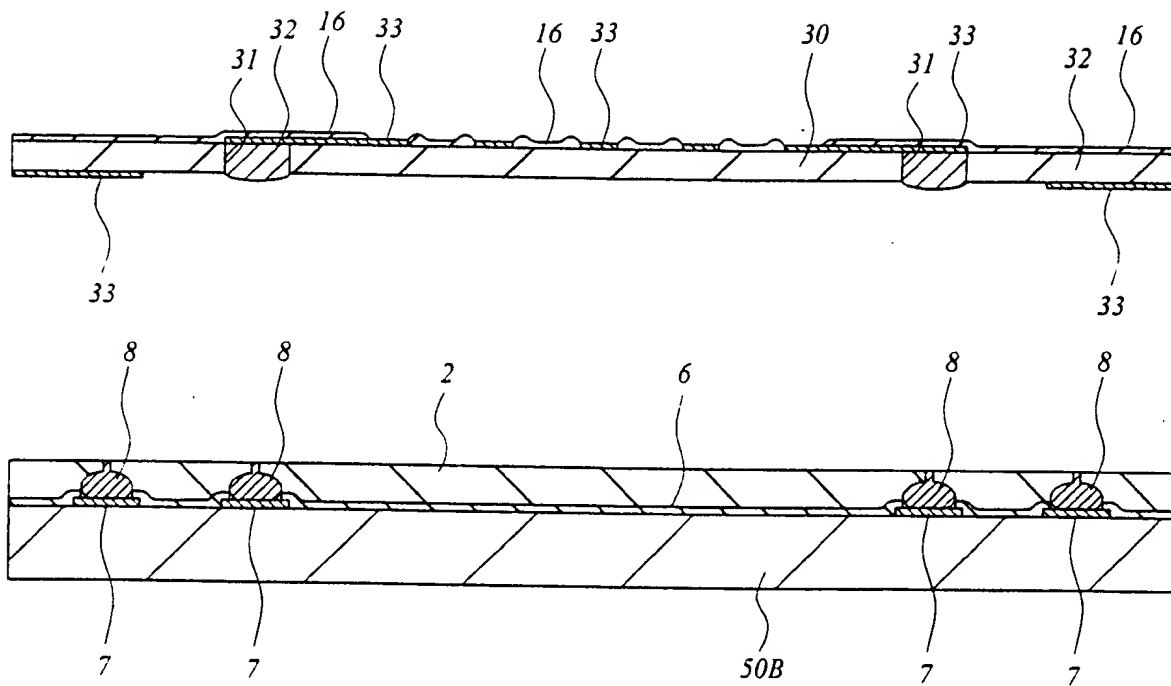




図 57



58



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/03969

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl<sup>6</sup> H01L21/60, H01L23/12

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl<sup>6</sup> H01L21/60, H01L23/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926 - 1996	Jitsuyo Shinan Toroku
Kokai Jitsuyo Shinan Koho	1971 - 1995	Koho
Toroku Jitsuyo Shinan Koho	1994 - 1997	1996 - 1997

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A Y A	JP, 8-330355, A (Shinko Electric Industries Co., Ltd.), December 13, 1996 (13. 12. 96), Column 8, lines 34 to 44; column 9, line 19 to column 10, line 6; Figs. 9, 10 & EP, 734065, A2	1 - 5 6 - 13 14 15 - 29
Y A Y A	JP, 8-78574, A (Shinko Electric Industries Co., Ltd.), March 22, 1996 (22. 03. 96), Column 5, line 7 to column 6, line 38; Fig. 1 & EP, 701278, A2	1 - 5 6 - 13 14 15 - 29
Y A Y A	JP, 9-139401, A (Shinko Electric Industries Co., Ltd.), May 27, 1997 (27. 05. 97), Column 4, line 6 to column 8, line 38; Figs. 1 to 4 (Family: none)	1 - 5 6 - 13 14 15 - 29

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

### \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

January 22, 1998 (22. 01. 98)

Date of mailing of the international search report

February 3, 1998 (03. 02. 98)

Name and mailing address of the ISA/

Authorized officer

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/03969

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 8-102466, A (NEC Corp.),	4
A	April 16, 1996 (16. 04. 96),	22
A	Column 6, line 1 to column 7, line 14;	26
A	Figs. 1, 2 & EP, 704895, A2	27 - 29
Y	JP, 8-250498, A (Sony Corp.),	14
	September 27, 1996 (27. 09. 96),	
	Column 4, line 42 to column 6, line 22;	
	column 10, lines 15 to 30; Fig. 1 (Family: none)	
A	JP, 2-77138, A (Hitachi, Ltd.),	17
	March 16, 1990 (16. 03. 90),	
	Page 13, upper right column, lines 10 to 15;	
	Fig. 15 (Family: none)	

## 国際調査報告

国際出願番号 PCT/J P 97/03969

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. cl.<sup>8</sup> H01L21/60, H01L23/12

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. cl.<sup>8</sup> H01L21/60, H01L23/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-1995年

日本国登録実用新案公報 1994-1997年

日本国実用新案登録公報 1996-1997年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 8-330355, A (新光電気工業株式会社), 13.	1-5
A	12月, 1996 (13, 12, 96), 第8欄第34行-第44	6-13
Y	行, 第9欄第19行-第10欄第6行, 及び第9, 10図&EP,	14
A	734065, A2	15-29
Y	J P, 8-78574, A (新光電気工業株式会社), 22, 3	1-5
A	月, 1996 (22, 03, 96), 第5欄第7行-第6欄第38	6-13
Y	行, 及び第1図&EP, 701278, A2	14
A		15-29

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に関する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

22.01.98

国際調査報告の発送日

03.02.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

野村 亨

印

4E

8012

電話番号 03-3581-1101 内線 3425

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A Y A	J P, 9-139401, A (新光電気工業株式会社), 27. 5月, 1997 (27. 05. 97), 第4欄第6行-第8欄第3 8行, 及び図1-4 (ファミリーなし)	1-5 6-13 14 15-29
Y A A A	J P, 8-102466, A (日本電気株式会社), 16. 4 月, 1996 (16. 04. 96), 第6欄第1行-第7欄第14 行, 及び図1, 2&EP, 704895, A2	4 22 26 27-29
Y	J P, 8-250498, A (ソニー株式会社), 27. 9月. 1996 (27. 09. 96), 第4欄第42行-第6欄第22 行, 第10欄第15行-第30行, 及び図1 (ファミリーなし)	14
A	J P, 2-77138, A (株式会社日立製作所), 16. 3 月, 1990 (16. 03. 90), 第13頁右上欄第10行-第 15行, 及び第15図 (ファミリーなし)	17